

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-247725

(43)Date of publication of application : 14.09.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01L 21/8234
H01L 27/088
H01L 27/115
H01L 27/10
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 09-050312

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.03.1997

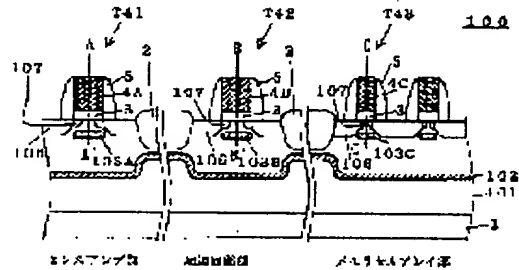
(72)Inventor : UENO SHUICHI
OKUMURA YOSHIKI
MAEDA SHIGENOBU
MAEKAWA SHIGETO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To lift the trade off relation between threshold and diffusive leakage by a method wherein at least one out of the control electrodes facing respective doped channel layers of the first to third kinds of transistors is formed of a second conductivity type impurity layer having the concentration distribution in the internal depth direction.

SOLUTION: Within the gate electrodes 4A-4C of N channel type MOS transistors T41-T43, the impurity concentrations are respectively differentiated from one another by changing the impurity dosages so as to lower the impurity concentration in the ascending order of the threshold. That is, the impurity concentration of the transistor T41 in the sense amplifier is made to have the highest value, and the concentration is lowered in the order from the transistor T42 in the peripheral circuit part to the transistor T43 in the memory cell array part. In such a constitution, the trade off relation between the threshold and the diffusive leakage layer is lifted by setting up the impurity concentrations in the doped channel layers so as to minimize the diffusion layer leakage thereby enabling the restriction on the circuit design to be broken off.



LEGAL STATUS

[Date of request for examination]

18.12.2003

[Date of sending the examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-247725

(43) 公開日 平成10年(1998) 9月14日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F

21/8242

4 6 1

21/8234

4 8 1

27/088

27/08

1 0 2 B

27/115

27/10

4 3 4

審査請求 未請求 請求項の数16 ○L (全 56 頁) 最終頁に続く

(21) 出願番号

特願平9-50312

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(22) 出願日

平成9年(1997) 3月5日

(72) 発明者 上野 修一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 奥村 喜紀

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 前田 茂伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 吉田 茂明 (外2名)

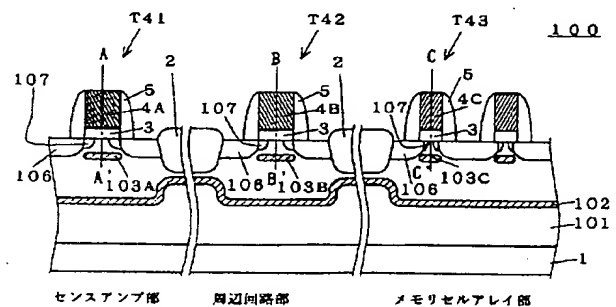
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 しきい値と拡散層リークとのトレードオフ関係を解消するとともに、ゲート酸化膜の形成を複数回に分けて行う必要のない半導体装置および製造方法を提供する。

【解決手段】 Nチャネル型MOSトランジスタT41～T43のゲート電極4A～4Cにおいては、不純物ドーザ量がそれぞれ異なっているので、不純物濃度もそれぞれ異なり、しきい値が高い事を期待される順に、ゲート電極中の不純物濃度は低く構成されている。



【特許請求の範囲】

【請求項 1】 同一の半導体基板上に複数の部分を備えた半導体装置であって、

前記複数の部分は、第 1～第 3 の種類のトランジスタのうち少なくとも 1 つを有し、

前記第 1 の種類のトランジスタは、

前記半導体基板の表面内に形成された第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層内に選択的に形成された第 1 導電型の第 1 のチャンネルドープ層と、

前記第 1 の半導体層の上部の、前記第 1 のチャンネルドープ層に相対する位置に形成された第 1 の制御電極とを備え、

前記第 2 の種類のトランジスタは、

前記半導体基板の表面内に形成された第 1 導電型の第 2 の半導体層と、

前記第 2 の半導体層内に選択的に形成された第 1 導電型の第 2 のチャンネルドープ層と、

前記第 2 の半導体層の上部の、前記第 2 のチャンネルドープ層に相対する位置に形成された第 2 の制御電極とを備え、

前記第 3 の種類のトランジスタは、

前記半導体基板の表面内に形成された第 1 導電型の第 3 の半導体層と、

前記第 3 の半導体層内に選択的に形成された第 1 導電型の第 3 のチャンネルドープ層と、

前記第 3 の半導体層の上部の、前記第 3 のチャンネルドープ層に相対する位置に形成された第 3 の制御電極とを備え、

前記第 1～第 3 の制御電極のうち少なくとも 1 つは、その内部に、深さ方向に濃度分布を有する第 2 導電型の不純物層を備えることを特徴とする半導体装置。

【請求項 2】 前記第 1 の種類のトランジスタは、

前記第 1 の半導体層内に選択的に独立して形成された 1 対の第 2 導電型の第 1 の半導体領域と、

前記 1 対の第 1 の半導体領域の間の前記第 1 の半導体層の上部に形成された第 1 のゲート酸化膜とを備え、

前記第 1 の制御電極は、前記第 1 のゲート酸化膜上に形成され、

前記第 1 のチャンネルドープ層は、前記第 1 の半導体層内の前記 1 対の第 1 の半導体領域の間に形成され、

前記第 2 の種類のトランジスタは、

前記第 2 の半導体層内に選択的に独立して形成された 1 対の第 2 導電型の第 2 の半導体領域と、

前記 1 対の第 2 の半導体領域の間の前記第 2 の半導体層の上部に形成された第 2 のゲート酸化膜とを備え、

前記第 2 の制御電極は、前記第 2 のゲート酸化膜上に形成され、

前記第 2 のチャンネルドープ層は、前記第 2 の半導体層内の前記 1 対の第 2 の半導体領域の間に形成され、

10

前記第 3 の種類のトランジスタは、

前記第 3 の半導体層内に選択的に独立して形成された 1 対の第 2 導電型の第 3 の半導体領域と、

前記 1 対の第 3 の半導体領域の間の前記第 3 の半導体層の上部に形成された第 3 のゲート酸化膜とを備え、

前記第 3 の制御電極は、前記第 3 のゲート酸化膜上に形成され、

前記第 3 のチャンネルドープ層は、前記第 3 の半導体層内の前記 1 対の第 3 の半導体領域の間に形成され、

前記第 1～第 3 の制御電極は、それぞれ不純物濃度の異なる第 1～第 3 の不純物層を備え、

前記第 1～第 3 のゲート酸化膜は同じ厚さを有し、

前記第 1～第 3 のチャンネルドープ層は同じ不純物濃度を有する請求項 1 記載の半導体装置。

【請求項 3】 前記第 1 の種類のトランジスタは、

前記第 1 の半導体層内に選択的に独立して形成された 1 対の第 2 導電型の第 1 の半導体領域と、

前記 1 対の第 1 の半導体領域の間の前記第 1 の半導体層の上部に形成された第 1 のゲート酸化膜とを備え、

前記第 1 の制御電極は、前記第 1 のゲート酸化膜上に形成され、

前記第 1 のチャンネルドープ層は、前記第 1 の半導体層内の前記 1 対の第 1 の半導体領域の間に形成され、

前記第 2 の種類のトランジスタは、

前記第 2 の半導体層内に選択的に独立して形成された 1 対の第 2 導電型の第 2 の半導体領域と、

前記 1 対の第 2 の半導体領域の間の前記第 2 の半導体層の上部に形成された第 2 のゲート酸化膜とを備え、

前記第 2 の制御電極は、前記第 2 のゲート酸化膜上に形成され、

前記第 2 のチャンネルドープ層は、前記第 2 の半導体層内の前記 1 対の第 2 の半導体領域の間に形成され、

前記第 3 の種類のトランジスタは、

前記第 3 の半導体層内に選択的に独立して形成された 1 対の第 2 導電型の第 3 の半導体領域と、

前記 1 対の第 3 の半導体領域の間の前記第 3 の半導体層の上部に形成された第 3 のゲート酸化膜と、

前記第 3 のゲート酸化膜上に形成されたフローティングゲート電極と、

前記フローティングゲート上に形成された層間絶縁膜とを備え、

前記第 3 の制御電極は、前記層間絶縁膜上に形成され、

前記第 3 のチャンネルドープ層は、前記第 3 の半導体層内の前記 1 対の第 3 の半導体領域の間に形成され、

前記第 1～第 3 の制御電極は、それぞれ不純物濃度の異なる第 1～第 3 の不純物層を備え、

前記第 1 および第 2 のゲート酸化膜は同じ第 1 の厚さを有し、前記第 3 のゲート酸化膜は前記第 1 の厚さよりも薄い第 2 の厚さを有し、

前記第 1～第 3 のチャンネルドープ層は同じ不純物濃度を

50

有する請求項1記載の半導体装置。

【請求項4】 前記第1の種類のトランジスタは、
前記第1の半導体層内に選択的に独立して形成された1
対の第2導電型の第1の半導体領域と、
前記1対の第1の半導体領域の間の前記第1の半導体層
の上部に形成された第1のゲート酸化膜とを備え、
前記第1の制御電極は、前記第1のゲート酸化膜上に形
成され、
前記第1のチャネルドープ層は、前記第1の半導体層内
の前記1対の第1の半導体領域の間に形成され、
前記第2の種類のトランジスタは、
前記第2の半導体層内に選択的に独立して形成された1
対の第2導電型の第2の半導体領域と、
前記1対の第2の半導体領域の間の前記第2の半導体層
の上部に形成された第2のゲート酸化膜とを備え、
前記第2の制御電極は、前記第2のゲート酸化膜上に形
成され、
前記第2のチャネルドープ層は、前記第2の半導体層内
の前記1対の第2の半導体領域の間に形成され、
前記第3の種類のトランジスタは、
前記第3の半導体層内に選択的に独立して形成された1
対の第2導電型の第3の半導体領域と、
前記1対の第3の半導体領域の間の前記第3の半導体層
の上部に形成された第3のゲート酸化膜とを備え、
前記第3の制御電極は、前記第3のゲート酸化膜上に形
成され、
前記第3のチャネルドープ層は、前記第3の半導体層内
の前記1対の第3の半導体領域の間に形成され、
前記第1および第2の制御電極は、不純物濃度が同じ第
1および第2の不純物層を備え、
前記第3の制御電極は、第1および第2の不純物層より
低い濃度の第3の不純物層を備え、
前記第1～第3のゲート酸化膜は同じ厚さを有し、
前記第1および第3のチャネルドープ層は同じ不純物濃
度を有する請求項1記載の半導体装置。

【請求項5】 前記第1の種類のトランジスタは、
前記第1の半導体層内に選択的に独立して形成された1
対の第2導電型の第1の半導体領域と、
前記1対の第1の半導体領域の間の前記第1の半導体層
の上部に形成された第1のゲート酸化膜とを備え、
前記第1の制御電極は、前記第1のゲート酸化膜上に形
成され、
前記第1のチャネルドープ層は、前記第1の半導体層内
の前記1対の第1の半導体領域の間に形成され、
前記第2の種類のトランジスタは、
前記第2の半導体層内に選択的に独立して形成された1
対の第2導電型の第2の半導体領域と、
前記1対の第2の半導体領域の間の前記第2の半導体層
の上部に形成された第2のゲート酸化膜とを備え、
前記第2の制御電極は、前記第2のゲート酸化膜上に形

成され、
前記第2のチャネルドープ層は、前記第2の半導体層内
の前記1対の第2の半導体領域の間に形成され、
前記第3の種類のトランジスタは、
前記第3の半導体層内に選択的に独立して形成された1
対の第2導電型の第3の半導体領域と、
前記1対の第3の半導体領域の間の前記第3の半導体層
の上部に形成された第3のゲート酸化膜と、
前記第3のゲート酸化膜上に形成されたフローティング
ゲート電極と、
前記フローティングゲート上に形成された層間絶縁膜と
を備え、
前記第3の制御電極は、前記層間絶縁膜上に形成され、
前記第3のチャネルドープ層は、前記第3の半導体層内
の前記1対の第3の半導体領域の間に形成され、
前記第1および第3の制御電極は、不純物濃度が同じ第
1および第3の不純物層を備え、
前記第2の制御電極は、第1および第3の不純物層より
低い濃度の第2の不純物層を備え、
前記第1および第2のゲート酸化膜は同じ第1の厚さを
有し、前記第3のゲート酸化膜は前記第1の厚さよりも
厚い第2の厚さを有し、
前記第1～第3のチャネルドープ層は同じ不純物濃度を
有する請求項1記載の半導体装置。

【請求項6】 同一の半導体基板上に複数の部分を備
え、
前記複数の部分は、第1～第3の種類のトランジスタの
うち少なくとも1つを有した半導体装置の製造方法であ
って、
30 (a)前記半導体基板の表面内の前記第1～第3の種類の
トランジスタが形成される位置に、それぞれ第1導電型
の第1～第3の半導体層を形成する工程と、
(b)前記第1～第3の半導体層内に、それぞれイオン注
入により第1導電型の第1～第3のチャネルドープ層を
選択的に形成する工程と、
(c)前記第1～第3の半導体層の上部の、前記第1～第
3のチャネルドープ層に相対する位置に、それぞれ第1
～第3の制御電極を形成する工程とを備え、
前記第1～第3の制御電極を形成する工程は、
40 前記第1～第3の制御電極のうち少なくとも1つに、そ
の内部に、深さ方向に濃度分布を有する第1導電型の不
純物層を形成する工程を含むことを特徴とする半導体装
置の製造方法。

【請求項7】 前記工程(c)は、
前記第1～第3の半導体層の上部に酸化膜を形成する工
程と、
前記酸化膜上に第1の導電層を形成する工程と、
前記第1の導電層にドーザ量n1で第2導電型の不純物
を注入して、その内部に、深さ方向に不純物が分布した
第2の導電層を形成する工程と、

前記第3の回路が形成される位置の前記第2の導電層上をマスクし、残る前記第2の導電層にドーズ量 n_2 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、
前記第2および第3の種類のトランジスタが形成される位置の前記第3および第2の導電層上をマスクし、残る前記第3の導電層にドーズ量 n_3 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第4の導電層を形成する工程と、
前記第2～第4の導電層、および前記酸化膜をパターンニングにより選択的に除去することで、
前記第1の半導体層上に、第1のゲート酸化膜および第1の制御電極を、
前記第2の半導体層上に、第2のゲート酸化膜および第2の制御電極を、
前記第3の半導体層上に、第3のゲート酸化膜および第3の制御電極を形成する工程とを備える請求項6記載の半導体装置の製造方法。

【請求項8】 前記工程(c)は、
前記第1～第3の半導体層の上部に酸化膜を形成する工程と、
前記酸化膜上に第1の導電層を形成する工程と、
前記第1の導電層、および前記酸化膜をパターンニングにより選択的に除去する工程と、
パターンニングされた前記第1の導電層に、選択的にドーズ量 n_1 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第2の導電層を形成する工程と、
前記第3の種類のトランジスタが形成される位置の前記第2の導電層上をマスクし、残る前記第2の導電層にドーズ量 n_2 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、
前記第2および第3の種類のトランジスタが形成される位置の前記第3および第2の導電層上をマスクし、残る前記第3の導電層にドーズ量 n_3 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第4の導電層を形成する工程と、を備える請求項6記載の半導体装置の製造方法。

【請求項9】 前記工程(c)は、
前記第1～第3の半導体層の上部に第1の厚さを有した第1の酸化膜を形成する工程と、
前記第3の半導体層上の前記第1の酸化膜上に第2導電型の不純物を均一に有した第1の導電層を選択的に形成する工程と、
前記第1の導電層上に選択的に絶縁膜を形成するとともに、前記第1および第2の回路が形成される位置の前記第1の酸化膜を除去する工程と、
前記第1および第2の半導体層の上部に前記第1の厚さよりも薄い第2の厚さを有した第2の酸化膜を形成する

工程と、
前記第2の酸化膜上および前記絶縁膜上に第2の導電層を形成する工程と、
前記第2の導電層にドーズ量 n_1 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、
前記第1の種類のトランジスタが形成される位置の前記第3の導電層上をマスクし、残る前記第3の導電層にドーズ量 n_2 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第4の導電層を形成する工程と、
前記第1および第3の種類のトランジスタが形成される位置の前記第3および第4の導電層上をマスクし、残る前記第4の導電層にドーズ量 n_3 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第5の導電層を形成する工程と、
前記第3～第5の導電層、前記第1および第2の酸化膜、前記絶縁膜をパターンニングにより選択的に除去して、
前記第1の半導体層上に、第1のゲート酸化膜および第1の制御電極を、
前記第2の半導体層上に、第2のゲート酸化膜および第2の制御電極を、
前記第3の半導体層上に、第3のゲート酸化膜、フローティングゲート電極、層間絶縁膜、第3の制御電極を形成する工程とを備える請求項6記載の半導体装置の製造方法。

【請求項10】 前記工程(b)は、
前記第1および第3のチャネルドープ層を、同じ不純物濃度となるように形成する工程を含み、
前記工程(c)は、
前記第1～第3の半導体層の上部に酸化膜を形成する工程と、
前記酸化膜上に第1の導電層を形成する工程と、
前記第1の導電層にドーズ量 n_1 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第2の導電層を形成する工程と、
前記第3の種類のトランジスタが形成される位置の前記第2の導電層上をマスクし、残る前記第2の導電層にドーズ量 n_2 で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、
前記第2および第3の導電層、および前記酸化膜をパターンニングにより選択的に除去して、
前記第1の半導体層上に、第1のゲート酸化膜および第1の制御電極を、
前記第2の半導体層上に、第2のゲート酸化膜および第2の制御電極を、
前記第3の半導体層上に、第3のゲート酸化膜および第3の制御電極を形成する工程とを備える請求項6記載の

半導体装置の製造方法。

【請求項11】 前記工程(c)は、
前記第1～第3の半導体層の上部に第1の厚さを有した第1の酸化膜を形成する工程と、
前記第3の半導体層上の前記第1の酸化膜上に第2導電型の不純物を均一に有した第1の導電層を選択的に形成する工程と、
前記第1の導電層上に選択的に絶縁膜を形成するとともに、前記第1および第2の回路が形成される位置の前記第1の酸化膜を除去する工程と、
前記第1および第2の半導体層の上部に前記第1の厚さよりも薄い第2の厚さを有した第2の酸化膜を形成する工程と、
前記第2の酸化膜上および前記絶縁膜上に第2の導電層を形成する工程と、
前記第2の導電層にドーズ量n1で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、
前記第2の種類のトランジスタが形成される位置の前記第3の導電層上をマスクし、残る前記第3の導電層にドーズ量n2で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第4の導電層を形成する工程と、
前記第1、第3および第4の導電層、前記第1および第2の酸化膜、前記絶縁膜をパターンニングにより選択的に除去して、
前記第1の半導体層上に、第1のゲート酸化膜および第1の制御電極を、
前記第2の半導体層上に、第2のゲート酸化膜および第2の制御電極を、
前記第3の半導体層上に、第3のゲート酸化膜、フローティングゲート電極、層間絶縁膜、第3の制御電極を形成する工程とを備える請求項6記載の半導体装置の製造方法。

【請求項12】 同一の半導体基板上に、第1および第2の種類のトランジスタを有した半導体装置の製造方法であって、

(a)前記半導体基板の主面上に選択的にフィールド酸化膜を形成し、前記第1および第2の種類のトランジスタが形成される第1および第2の領域を規定する工程と、

(b)前記第1および第2の領域上から前記フィールド酸化膜上にかけて酸化膜を形成する工程と、

(c)前記酸化膜上に制御電極となる導電層を形成する工程と、

(d)前記第1および第2の領域のうち、少なくとも一方の領域上の前記導電層にソース・ドレイン層と同じ導電型の不純物を導入する工程とを備える半導体装置の製造方法。

【請求項13】 前記工程(d)は、

前記第1および第2の領域のうち、少なくとも前記第1

の領域上の前記導電層上に、選択的にレジストを形成し、該レジストの周辺にイオン注入により前記不純物を注入する工程と、

前記注入された前記不純物を、熱拡散によって拡散させることで、前記第1および第2の領域のうち、少なくとも前記第1の領域上の前記導電層内に、前記不純物を導入する工程とを含む請求項12記載の半導体装置の製造方法。

【請求項14】 前記工程(d)は、

10 前記第1および第2の領域のうち、少なくとも前記第1の領域上の前記導電層の端縁部上から、前記フィールド酸化膜上にかけて選択的にレジストを形成し、該レジストで覆われない前記導電層に、イオン注入により前記不純物を注入する工程と、

前記注入された前記不純物を、熱拡散によって拡散させることで、前記第1および第2の領域のうち、少なくとも前記第1の領域上の前記導電層内に、平面方向中央部では濃度が高く、端縁部に近づくにつれて濃度が低くなるように前記不純物を導入する工程とを含む、請求項12記載の半導体装置の製造方法。

20 【請求項15】 前記工程(c)は、(c-1)前記不純物を均一に含んだ第1の導電層と、前記不純物を含まない第2の導電層とを積層することで、前記導電層を形成する工程を含み、

前記工程(d)は、

少なくとも前記第1の領域上の前記第1および第2の導電層において、前記第1の導電層から前記第2の導電層に前記不純物を自然拡散させることで、前記不純物を分布させる工程を含む、請求項12記載の半導体装置の製造方法。

30 【請求項16】 前記工程(c-1)は、前記第1の導電層と前記第2の導電層との間に、前記不純物の拡散量を抑制する拡散抑制膜を形成する工程を含む、請求項15記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置およびその製造方法に関し、特に1つのチップ内に複数種類のトランジスタを作り込む半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】1つのチップ内に複数種類のトランジスタ(例えば要求スペックの異なる)を作り込んだ半導体装置として、以下に4つの従来例を挙げて説明する。

【0003】<第1の従来例>

<DRAMの全体構成>まず、第1の従来例として、複数種類のトランジスタを作り込んだDRAM600の構成および製造方法について説明する。図66にDRAM600の構成(セル配置)を示す。

【0004】DRAM600は、データを蓄積するメモ

リセルアレイ部 601 だけでなく、周辺回路部（アドレスバッファ 602、Xデコーダ 603、Yデコーダ 604）、ロウ／カラムクロック部 605、I/Oパス部 606、リフレッシュ部 607）やセンスアンプ部 608 なども備えている。

【0005】いずれの部位もトランジスタにより構成されているが、それぞれの部位により要求される特性が異なる。例えばメモリセルアレイ部 601 では、漏れ電流によるデータの消失を防ぐため低リーク電流であることが求められる。また、周辺回路部では高速動作を行うため電流量が多いことが求められている。さらに、センスアンプ部 608 はハイレベルとローレベルを区別するため、例えばハイレベルの半分の電圧で動作させなければならない。このため、センスアンプ部 608 に用いられるトランジスタには低電圧での動作が要求される。つまり、1チップのDRAM内で特性の異なる数種類のトランジスタが必要となるのである。

【0006】例えばしきい値を比較すると、メモリセルアレイ部のトランジスタは1V程度、周辺回路部のトランジスタは0.8V程度で、センスアンプ部のトランジスタは0.4Vにまで抑える必要が生じる。

【0007】＜各トランジスタの構成＞これらの特性が異なるトランジスタを1チップ内に作るため、従来はチャンネルドープ層の不純物プロファイルをとランジスタに合わせて変えることで対応していた。以下、チャンネルドープの不純物濃度をトランジスタにより変化させた例について説明する。

【0008】図67は従来の製造方法により製造したDRAMの構成例（部分図）であり、センスアンプ部、周辺回路部、メモリセルアレイ部に用いられるNチャンネル型MOSトランジスタT1～T3の断面をそれぞれ示している。

【0009】図67において、Nチャンネル型MOSトランジスタT1～T3は同一の半導体基板1（P型）上に形成されたP型のウエル層101内に形成されている。ウエル層101はウエル層101内に形成されたチャンネルカット層102と、LOCOS層2とで素子間分離され、Nチャンネル型MOSトランジスタT1～T3は、それぞれ素子間分離された領域に形成されている。

【0010】センスアンプ部のNチャンネル型MOSトランジスタT1は、ウエル層101内に独立して平行に形成された1対のソース・ドレイン層106と、当該ソー

ス・ドレイン層106の向かい合う端縁部に接して形成された1対の低ドープドレイン層（以後、LDD層と呼称）107とを備えている。

【0011】そして、LDD層107の上部にはゲート酸化膜3が形成され、当該ゲート酸化膜3の上部にはゲート電極4が形成されている。また、ゲート酸化膜3およびゲート電極4の側面にはサイドウォール酸化膜5が形成されている。また、ゲート電極4の下層のウエル層101内には、チャンネルドープ層103が形成されている。

【0012】周辺回路部のNチャンネル型MOSトランジスタT2は、ウエル層101内に独立して平行に形成された1対のソース・ドレイン層106と、当該ソース・ドレイン層106の向かい合う端縁部に接して形成された1対のLDD層107とを備えている。

【0013】そして、LDD層107の上部にはゲート酸化膜3が形成され、当該ゲート酸化膜3の上部にはゲート電極4が形成されている。また、ゲート酸化膜3およびゲート電極4の側面にはサイドウォール酸化膜5が形成されている。また、ゲート電極4の下層のウエル層101内には、チャンネルドープ層104が形成されている。

【0014】メモリセルアレイ部のNチャンネル型MOSトランジスタT3は、ウエル層101内に独立して平行に形成された1対のソース・ドレイン層106と、当該ソース・ドレイン層106の向かい合う端縁部に接して形成された1対のLDD層107とを備えている。

【0015】そして、ソース・ドレイン層106およびLDD層107の上部にはゲート酸化膜3が形成され、当該ゲート酸化膜3の上部にはゲート電極4が形成されている。また、ゲート酸化膜3およびゲート電極4の側面にはサイドウォール酸化膜5が形成されている。また、ゲート電極4の下層のウエル層101内には、チャンネルドープ層105が形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層106を共有する構造となっており、その構造が連続して配設された構成となっている。

【0016】なお、表1にNチャンネル型MOSトランジスタT1～T3の構成諸元を示す。

【0017】

【表1】

11

12

	センスアンプ部 (T1)	周辺回路部 (T2)	メモリセルアレイ部 (T3)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	100 Å	100 Å	100 Å
ゲート電極膜厚	2000 Å	2000 Å	2000 Å
ゲート不純物濃度	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$
サイドウォール	1000 Å	1000 Å	1000 Å
ウエル	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$
チャンネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャンネルドーブ	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $3 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$
LDD	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$
ソース/ドレイン	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$
熱処理	850°C 60min		

【0018】表1において、Nチャネル型MOSトランジスタT1～T3のそれぞれのチャンネルドーブ層形成時の不純物ドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ 、 $3 \times 10^{12} / \text{cm}^2$ 、 $5 \times 10^{12} / \text{cm}^2$ となっている。なお、注入不純物は何れもボロン(B)であり、注入エネルギーは何れも50keVである。

【0019】また、図67で示したセンスアンプ部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT1～T3における、A-A'線、B-B'線、およびC-C'線による断面部分の不純物プロファイルを図68に示す。

【0020】図68において、横軸に断面方向の位置(深さ)を、縦軸に不純物濃度を示す。なお、横軸は図に向かって左側から順に、ゲート電極(ポリシリコン層)、ゲート酸化膜(SiO₂層)、ウエル層(バルクシリコン層)となっている。

【0021】ゲート電極における不純物濃度は表1に示すように、何れのトランジスタにおいても同じ量で均一になるように形成されているので、A-A'線、B-B'線、およびC-C'線は重なり合う直線で示されるが、ウエル層においては、先に説明したように、しきい値の要求が低いトランジスタ(T1<T2<T3の順)ほどチャンネルドーズ量は少なく、酸化膜-バルク界面での不純物濃度が低くなっている。なお、各プロファイルのピーク位置は、それぞれのチャンネルドーブ層の形成位置にほぼ等しい。

【0022】<各トランジスタの製造方法>以下に、図67で示したセンスアンプ部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT1～T3の製造方法について、図69～図74を用いて説明する。

【0023】まず、図67に示す工程において、P型の半導体基板1の表面にロコス法によりLOCOS層(フィールド酸化膜)2を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロンイオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで、半導体基板1内にP型のウエ

ル領域101を形成する。なお、半導体基板1内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロンイオンを、130keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで、半導体基板1内にチャンネルカット層102を形成する。なお、チャンネルカット層102は、LOCOS層2とで素子間分離領域を形成するような形状に形成する。

【0024】次に、図70に示す工程において、ウエル領域101内の所定位置に、センスアンプ部のトランジスタT1に合わせた最も不純物濃度の低いチャンネルドーブ層103を形成する。このとき、周辺回路部およびメモリセルアレイ部のトランジスタT2およびT3の形成領域にもチャンネルドーブ層103が形成される。なお、チャンネルドーブ層103の形成は、例えばボロンイオンを、50keVのエネルギーで、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0025】次に、図71に示す工程において、センスアンプ部の上部にレジストマスクR201を形成し、周辺回路部およびメモリセルアレイ部のチャンネルドーブ層103に選択的に不純物を追加注入し、周辺回路部のトランジスタT2に合わせた不純物濃度のチャンネルドーブ層104を形成する。このとき、メモリセルアレイ部のトランジスタT3の形成領域にもチャンネルドーブ層104が形成される。なお、チャンネルドーブ層104の形成は、例えばボロンイオンを、50keVのエネルギーで、 $2 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0026】次に、図72に示す工程において、センスアンプ部および周辺回路部の上部にレジストマスクR202を形成し、メモリセルアレイ部のチャンネルドーブ層104に選択的に不純物を追加注入し、メモリセルアレイ部のトランジスタT3に合わせた不純物濃度のチャンネルドーブ層105を形成する。なお、チャンネルドーブ層105の形成は、例えばボロンイオンを、50keVのエネルギーで、 $2 \times 10^{12} / \text{cm}^2$ のドーズ量を注入す

ることで行う。

【0027】次に、図73に示す工程において、半導体基板1の主面上にゲート酸化膜3となる酸化膜31を熱酸化法により形成した後、その上にゲート電極材料として、例えばドーフトポリシリコン層41をCVD法にて形成する。なお、酸化膜31の厚みは100オングストローム程度、ドーフトポリシリコン層41の厚みは2000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $5 \times 10^{20} / \text{cm}^3$ 程度である。

【0028】次に、図74に示す工程において、ドーフトポリシリコン層41の上部にレジストマスクR203を形成し、パターンニングによりゲート電極4およびゲート酸化膜3を形成する。

【0029】次に、センスアンプ部、周辺回路部、メモリセルアレイ部にイオン注入によりLDD層107を形成した後、ゲート酸化膜3およびゲート電極4の側面に、約1000オングストロームの厚さのサイドウォール酸化膜5を形成する。そして、サイドウォール酸化膜5をマスクとして、イオン注入によりソース・ドレイン層106を形成することで、図67に示すDRAMの構成が得られる。

【0030】ここで、LDD層107は、例えば砒素(As)イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーザ量を注入することで形成する。また、ソース・ドレイン層106は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーザ量を注入した後、850℃で60分間アニールすることで形成する。

【0031】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりDRAMが形成されるが、それらの工程の説明および図示は省略する。

【0032】＜従来のDRAMの問題点＞以上説明したように、従来のDRAMにおいては、センスアンプ部、周辺回路部、メモリセルアレイ部などで使用される、特性が異なるトランジスタを1チップ内に作るため、チャネルドーパ層の不純物濃度をトランジスタに合わせて変えることでしきい値の調整をしていた。

【0033】しかし、チャネルドーパ層の不純物濃度が高くなると、しきい値が上がるのと同時に、例えば拡散層と基板との接合部分での不純物濃度が高くなるため拡散層からの漏れ電流(拡散層リーク)が多くなる。つまり、しきい値と拡散層リークとはトレードオフの関係有し、しきい値が決まると漏れ電流も一義的に決定され、回路設計は両者のトレードオフ関係により制約を受けていた。

【0034】＜第2の従来例＞

＜フラッシュメモリの全体構成＞第2の従来例として、複数種類のトランジスタを作り込んだフラッシュメモリ

700の構成および製造方法について説明する。

【0035】図75にはフラッシュメモリ700の構成(セル配置)を示している。一般にDRAMに比べてフラッシュメモリの異なる点は、例えば10Vといった高い電圧を書込動作や消去動作で用いることである。このため、図75に示すフラッシュメモリ700においては、昇圧回路としてチャージポンプ回路710を備えている。

【0036】そして、フラッシュメモリ700は、データを蓄積するメモリセルアレイ部701だけでなく、Xデコーダー703やYデコーダー704など昇圧後に使われる高耐圧部、周辺回路部(例えば、アドレスバッファ702、ロウ/カラムクロック部705、I/Oパス部706、データレジスタ部707、センスアンプ部708、動作制御部709なども備えている。いずれの部位もトランジスタにより構成されているが、使用電圧の差異により、数種類の特性の異なるトランジスタが必要となる。

【0037】例えば、メモリセルアレイ部701でのトランジスタでは、トンネル酸化膜の信頼性を保証するため、例えば100オングストローム程度の酸化膜厚が必要である。しかし、周辺回路部では高速動作を行うため電流量が多いことが求められており、酸化膜厚はメモリセルアレイ部701に比べて薄く設定されることが多い。ただし、高耐圧部では、10Vの電圧に耐えうるトランジスタが必要となる。このため、例えば250オングストロームといった厚い酸化膜を用いる必要が生じる。すなわち、1チップのフラッシュメモリ内で酸化膜厚の異なる数種類のトランジスタが必要となる。

【0038】＜各トランジスタの構成＞以下では、酸化膜厚をトランジスタにより変化させた例について説明する。図76は従来の製造方法により製造したフラッシュメモリの構成例(部分図)であり、高耐圧部、周辺回路部、メモリセルアレイ部に用いられるNチャネル型MOSトランジスタT11～T13の断面をそれぞれ示している。

【0039】図76において、Nチャネル型MOSトランジスタT11～T13は同一の半導体基板21(P型)上に形成されたP型のウエル層121内に形成されている。ウエル層121は、ウエル層121内に形成されたチャネルカット層122と、LOCOS層22とで素子間分離され、Nチャネル型MOSトランジスタT11～T13は、それぞれ素子間分離された領域に形成されている。

【0040】高耐圧部のNチャネル型MOSトランジスタT11は、ウエル層121内に独立して平行に形成された1対のソース・ドレイン層126と、当該ソース・ドレイン層126の向かい合う端縁部に接して形成された1対のLDD層127とを備えている。

【0041】そして、LDD層127の上部にはゲート

酸化膜26が形成され、当該ゲート酸化膜26の上部にはゲート電極29が形成されている。また、ゲート酸化膜26およびゲート電極29の側面にはサイドウォール酸化膜30が形成されている。また、ゲート電極29の下層のウエル層121内には、チャンネルドープ層123が形成されている。

【0042】周辺回路部のNチャネル型MOSトランジスタT12は、ウエル層121内に独立して平行に形成された1対のソース・ドレイン層126と、当該ソース・ドレイン層126の向かい合う端縁部に接して形成された1対のLDD層127とを備えている。

【0043】そして、LDD層127の上部にはゲート酸化膜25が形成され、当該ゲート酸化膜25の上部にはゲート電極29が形成されている。また、ゲート酸化膜25およびゲート電極29の側面にはサイドウォール酸化膜30が形成されている。また、ゲート電極29の下層のウエル層121内には、チャンネルドープ層124が形成されている。

【0044】メモリセルアレイ部のNチャネル型MOSトランジスタT13は、ウエル層121内に独立して平行に形成された1対のソース・ドレイン層126を備え、ソース・ドレイン層126の端縁部上部にはトンネル酸化膜23が形成され、当該トンネル酸化膜23の上部にはフローティングゲート電極27、層間絶縁膜24、コントロールゲート電極28が順次形成されている。

10

*【0045】また、トンネル酸化膜23、フローティングゲート電極27、層間絶縁膜24、コントロールゲート電極28の側面にはサイドウォール酸化膜30が形成されている。

【0046】また、フローティングゲート電極27の下層のウエル層121内には、チャンネルドープ層125が形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層126を共有する構造となっており、その構造が連続して配設された構成となっている。

【0047】図76に示すフラッシュメモリにおいて特徴的なのは、高耐圧部のNチャネル型MOSトランジスタT11のゲート酸化膜26の厚みが最も厚く、メモリセルアレイ部のNチャネル型MOSトランジスタT13のトンネル酸化膜23、周辺回路部Nチャネル型MOSトランジスタT12のゲート酸化膜25の順に厚みが薄くなっている点である。

【0048】図77に各ゲート酸化膜の厚みを示す。図77において、横軸左側から順に高耐圧部、周辺回路部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを表示している。

【0049】なお、表2にNチャネル型MOSトランジスタT11～T13の構成諸元を示す。

【0050】

【表2】

*

	高耐圧部 (T11)	周辺回路部 (T12)	メモリセルアレイ部 (T13)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	250 Å	80 Å	100 Å
フローティングゲート電極膜厚	-----	-----	1000 Å
フローティングゲート不純物濃度	-----	-----	$1 \times 10^{20} / \text{cm}^3$
層間絶縁膜厚	-----	-----	TEOS/Si ₃ N ₄ /TEOS=100/100/100 Å
コントロールゲート電極膜厚	2000 Å	2000 Å	2000 Å
コントロールゲート不純物濃度	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$
サイドウォール	2000 Å	2000 Å	2000 Å
ウエル	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$
チャンネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャンネルドープ	B 50keV $5 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$
LDD	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$	-----
ソース/ドレイン	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$
熱処理	850℃ 60min		

【0051】表2において、Nチャネル型MOSトランジスタT11～T13のそれぞれのゲート酸化膜の厚みは、250オングストローム、80オングストローム、100オングストロームとなっている。

【0052】<各トランジスタの製造方法>以下に、図76で示した高耐圧部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT11～T

13の製造方法について、図78～図91を用いて説明する。

【0053】まず、図78に示す工程において、P型の半導体基板21の表面にロコス法によりLOCOS層（フィールド酸化膜）22を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロニオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}$

2のドーズ量を注入することで、半導体基板21内にP型のウエル領域121を形成する。なお、半導体基板21内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロニオンを、130keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで、半導体基板21内にチャネルカット層122を形成する。なお、チャネルカット層122は、LOCOS層22とで素子間分離領域を形成するような形状に形成する。

【0054】次に、ウエル領域121内の高耐圧部、周辺回路部、メモリセルアレイ部のそれぞれの所定位置に、チャネルドープ層120を形成する。なお、チャネルドープ層120の形成は、例えばボロニオンを、50keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0055】次に、図79に示す工程において、半導体基板21の主面上にトンネル酸化膜23となる酸化膜231を熱酸化法により形成した後、その上にゲート電極材料として、例えばドーフトポリシリコン層271をCVD法にて形成する。なお、酸化膜231の厚みは1000オングストローム程度、ドーフトポリシリコン層271の厚みは1000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $1 \times 10^{20} / \text{cm}^3$ 程度である。

【0056】次に、図80に示す工程において、メモリセルアレイ部におけるドーフトポリシリコン層271の上部に選択的にレジストマスクR221を形成する。この場合、レジストマスクR221はメモリセルアレイ部のゲート幅方向に沿って形成される。そして、レジストマスクR221で覆われていない部分のドーフトポリシリコン層271を異方性エッチングにより除去する。この状態を図81に示す。

【0057】図81は、図80を上面側(レジストマスクR221を形成する側)から見た平面図であり、レジストマスクR221はメモリセルアレイ部において、規則的に配列された矩形の島状をなすように形成されている。なお、レジストマスクR221は、矩形の島状をなす活性層AL上と、その周囲のLOCOS層LL上を覆うように形成されている。また、高耐圧部および周辺回路部においてはレジストマスクRが形成されていないので、活性層ALが露出している。

【0058】次に、レジストマスクR221を除去した後、図82に示す工程において、ドーフトポリシリコン層271上に、フローティングゲートとコントロールゲートとを絶縁する層間絶縁膜24となる絶縁膜241をCVD法にて形成する。なお、この膜はTEOS(tetraethyl orthosilicate)膜、窒化膜(Si_3N_4)、TEOS膜を順に積層した構成となっており、それぞれの膜厚は100オングストロームである。また、層間絶縁膜

24はONO膜と呼称される場合もある。また、絶縁膜241は高耐圧部および周辺回路部上にも形成される。

【0059】次に、図83に示す工程において、メモリセルアレイ部の絶縁膜241上をレジストマスクR222で覆い、その他の領域の絶縁膜241を全て除去する。この場合、その他の領域においては酸化膜231も除去する。この状態を図84に示す。

【0060】図84は、図83を上面側(レジストマスクR222を形成する側)から見た平面図であり、レジストマスクR222はメモリセルアレイ部全域を覆うように形成されているが、高耐圧部および周辺回路部においてはレジストマスクR222が形成されていないので、活性層ALが露出している。

【0061】次に、レジストマスクR222を除去した後、図85に示す工程において、半導体基板21の主面全面にゲート酸化膜26となる酸化膜261を熱酸化法により形成する。このときメモリセルアレイ部上の絶縁膜241は、窒化膜を含んでいるため酸化されることはなく、その厚さは保たれる。なお、酸化膜261の厚みは170オングストローム程度である。

【0062】次に、図86に示す工程において、周辺回路部以外の領域をレジストマスクR223で覆い、周辺回路部上の酸化膜261をウエットエッチングにより除去する。この状態を図87に示す。

【0063】図87は、図86を上面側(レジストマスクR223を形成する側)から見た平面図であり、レジストマスクR223はメモリセルアレイ部および高耐圧部の全域を覆うように形成されているが、周辺回路部においてはレジストマスクR223が形成されていないので、活性層ALが露出している。

【0064】次に、レジストマスクR223を除去した後、図88に示す工程において、ゲート酸化膜25となる酸化膜251を熱酸化法により形成する。このときメモリセルアレイ部上の絶縁膜241は、窒化膜を含んでいるため酸化されることはなく、その厚さは保たれるが、高耐圧部では酸化膜261が成長し膜厚が増加することになる。なお、酸化膜251の厚みは80オングストローム程度であり、酸化膜261は250オングストローム程度に成長する。

【0065】次に、図89に示す工程において、半導体基板21の主面全面に、ゲート電極材料として、例えばドーフトポリシリコン層291をCVD法にて形成する。なお、ドーフトポリシリコン層291の厚みは2000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $5 \times 10^{20} / \text{cm}^3$ 程度である。

【0066】次に、図90に示す工程において、ドーフトポリシリコン層291の上部にレジストマスクR224を形成してパターンニングを行う。この状態を図91に示す。

【0067】図91は、図90を上面側（レジストマスクR224を形成する側）から見た平面図であり、レジストマスクR224は、矩形の活性領域ALに垂直になるように形成されている。

【0068】このパターンニングにより、高耐圧部においては、ゲート酸化膜26およびゲート電極29を、周辺回路部においては、ゲート酸化膜25およびゲート電極29を、メモリセルアレイ部においては、トンネル酸化膜23、フローティングゲート電極27、層間絶縁膜24、コントロールゲート電極28を形成する。

【0069】次に、高耐圧部、周辺回路部にイオン注入によりLDD層127を形成した後、ゲート酸化膜26およびゲート電極29の側面、ゲート酸化膜25およびゲート電極29の側面、トンネル酸化膜23、フローティングゲート電極27、層間絶縁膜24、コントロールゲート電極28の側面に、約1000オングストロームの厚さのサイドウォール酸化膜30を形成する。そして、サイドウォール酸化膜30をマスクとして、イオン注入によりソース・ドレイン層126を形成することで、図76に示すフラッシュメモリの構成が得られる。

【0070】ここで、LDD層127は、例えば砒素イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層126は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量を注入した後、850℃で60分間アニールすることで形成する。

【0071】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりフラッシュメモリが形成されるが、それらの工程の説明および図示は省略する。

【0072】＜従来のフラッシュメモリの問題点＞以上説明したように、従来のフラッシュメモリにおいては、従来のDRAM同様、しきい値と拡散層リークはトレードオフの関係性を有するため、回路設計は両者のトレードオフにより制約を受けることになる。

【0073】また、1チップのフラッシュメモリ内で酸化膜厚の異なる数種類のトランジスタを形成する必要から、酸化膜の形成を複数回に分けて行う場合が生じる。例えば、高耐圧部では、酸化膜261は、レジストマスクR223を除去する工程（図86）等を経て、酸化膜251を形成する際にさらに成長させる（図88）ことになる。すなわち、ゲート酸化膜261を2回に分けて行うことになる。このため、不純物混入の機会が増えるなどしてゲート酸化膜261の信頼性劣化が生じたり、膜厚の制御性が悪くなって、高耐圧部のNチャンネル型MOSトランジスタT11の信頼性が阻まれるなどの問題が生じていた。

【0074】＜第3の従来例＞

＜ロジック回路を有したDRAMの全体構成＞次に、第

3の従来例として、ロジック回路を有したDRAM（以後、LOGIC in DRAMと呼称）800の構成および製造方法について説明する。

【0075】LOGIC in DRAM800は、ロジック回路を同一チップ内に作りこむことにより、独立した別チップとして作られたDRAMとロジック回路とを組み合わせ使用より、高性能かつ低コストを実現できる装置である。

【0076】図92に示すように、LOGIC in DRAM800はロジック部とDRAM部とに大別される。ここで、ロジック部では、高速であること、すなわち、高駆動能力と低容量であることが求められている。また、DRAM部には先に述べたように、低リーク電流が求められるセルアレイ部や、低電圧での動作が要求されるセンスアンプ部などが含まれている。つまり、1チップのLOGIC in DRAM800においては、特性の異なる数種類のトランジスタが必要となる。

【0077】＜各トランジスタの構成＞これらの特性が異なるトランジスタを1チップ内に作るため、従来はチャンネルドープ層の不純物プロファイルや酸化膜厚をトランジスタに合わせて変えることで対応していた。以下、DRAM部ではチャンネルドープ層の不純物濃度をトランジスタにより変化させた例を、ロジック部では酸化膜厚をトランジスタにより変化させた例について説明する。

【0078】図93は従来の製造方法により製造したLOGIC in DRAMの構成例（部分図）であり、ロジック部と、DRAM部内のセンスアンプ部およびメモリセルアレイ部に用いられるNチャンネル型MOSトランジスタT21～T23の断面をそれぞれ示している。

【0079】図93において、Nチャンネル型MOSトランジスタT21～T23は同一の半導体基板51（P型）上に形成されたP型のウエル層151内に形成されている。ウエル層151はウエル層151内に形成されたチャンネルカット層152と、LOCOS層52とで素子間分離され、Nチャンネル型MOSトランジスタT21～T23は、それぞれ素子間分離された領域に形成されている。

【0080】ロジック部のNチャンネル型MOSトランジスタT21は、ウエル層151内に独立して平行に形成された1対のソース・ドレイン層156と、当該ソース・ドレイン層156の向かい合う端縁部に接して形成された1対のLDD層157とを備えている。

【0081】そして、LDD層157の上部にはゲート酸化膜54が形成され、当該ゲート酸化膜54の上部にはゲート電極55が形成されている。また、ゲート酸化膜54およびゲート電極55の側面にはサイドウォール酸化膜56が形成されている。また、ゲート電極55の下層のウエル層151内には、チャンネルドープ層155が形成されている。

【0082】センスアンプ部のNチャンネル型MOSトラ

ンジスタT22は、ウエル層151内に独立して平行に形成された1対のソース・ドレイン層156と、当該ソース・ドレイン層156の向かい合う端縁部に接して形成された1対のLDD層157とを備えている。

【0083】そして、LDD層157の上部にはゲート酸化膜53が形成され、当該ゲート酸化膜53の上部にはゲート電極55が形成されている。また、ゲート酸化膜53およびゲート電極55の側面にはサイドウォール酸化膜56が形成されている。また、ゲート電極55の下層のウエル層151内には、チャネルドープ層154

10 が形成されている。
【0084】メモリセルアレイ部のNチャネル型MOSトランジスタT23は、ウエル層151内に独立して平行に形成された1対のソース・ドレイン層156と、当該ソース・ドレイン層156の向かい合う端縁部に接して形成された1対のLDD層157とを備えている。 *

	ロジック部 (T21)	センスアンプ部 (T22)	メモリセルアレイ部 (T23)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	60 Å	100 Å	100 Å
ゲート電極厚	2000 Å	2000 Å	2000 Å
ゲート不純物濃度	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$
サイドウォール	1000 Å	1000 Å	1000 Å
ウエル	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$
チャネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャネルドープ	B 50keV $1 \times 10^{13} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$
LDD	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$
ソース/ドレイン	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$
熱処理	850 °C 60min		

【0088】表3において、Nチャネル型MOSトランジスタT21～T23のそれぞれのチャネルドープ層形成時の不純物ドーズ量は、 $1 \times 10^{13} / \text{cm}^2$ 、 $1 \times 10^{12} / \text{cm}^2$ 、 $5 \times 10^{12} / \text{cm}^2$ となっている。なお、注入不純物はどれもボロン(B)であり、注入エネルギーはどれも50keVである。

【0089】また、Nチャネル型MOSトランジスタT21～T23のそれぞれのゲート酸化膜の厚みは、60オングストローム、100オングストローム、100オングストロームとなっている。

【0090】また、図93で示したロジック部、センスアンプ部、メモリセルアレイ部のNチャネル型MOSトランジスタT21～T23における、A-A'線、B-B'線、およびC-C'線による断面部分の不純物プロファイルを図94に示す。

【0091】図94において、横軸に断面方向の位置(深さ)を、縦軸に不純物濃度を示す。なお、横軸は図に向かって左側から順に、ゲート電極(ポリシリコン層)、ゲート酸化膜(SiO₂層)、ウエル層(バルクシリコン層)となっている。

【0092】ゲート電極における不純物濃度は表3に示

*【0085】そして、ソース・ドレイン層156およびLDD層157の上部にはゲート酸化膜53が形成され、当該ゲート酸化膜53の上部にはゲート電極55が形成されている。また、ゲート酸化膜53およびゲート電極55の側面にはサイドウォール酸化膜56が形成されている。また、ゲート電極55の下層のウエル層151内には、チャネルドープ層153が形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層156を共有する構造となっており、その構造が連続して配設された構成となっている。

【0086】なお、表3にNチャネル型MOSトランジスタT21～T23の構成諸元を示す。

【0087】

【表3】

30 すように、何れのトランジスタにおいても同じ量で均一になるように形成されているので、A-A'線、B-B'線、およびC-C'線は重なり合う直線(A-A'線を区別するため図面的には2つの直線で示している)で示されるが、ウエル層においては、しきい値の要求が低いセンスアンプ部のトランジスタでは、チャネルドーズ量が少なく、酸化膜-バルク界面での不純物濃度も低い。なお、各プロファイルのピーク位置は、それぞれのチャネルドープ層の形成位置にほぼ等しい。

【0093】また、図95に各ゲート酸化膜の厚みを示す。図95において、横軸左側から順にロジック部、センスアンプ部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを表示している。図95に示されるように、ロジック部は、電流駆動能力向上のため、DRAM部のセンスアンプ部、メモリセルアレイ部に比べ、酸化膜厚が薄くなっている。

【0094】<各トランジスタの製造方法>以下に、図93で示したロジック部、DRAM部のセンスアンプ部およびメモリセルアレイ部のNチャネル型MOSトランジスタT21～T23の製造方法について、図96～図104を用いて説明する。

【0095】まず、図96に示す工程において、P型の半導体基板51の表面にロコス法によりLOCOS層（フィールド酸化膜）52を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロンイオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで、半導体基板51内にP型のウエル領域151を形成する。なお、半導体基板51内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロンイオンを、130keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで、半導体基板1内にチャネルカット層152を形成する。なお、チャネルカット層152は、LOCOS層2とで素子間分離領域を形成するような形状に形成する。

【0096】次に、図97に示す工程において、ウエル領域151内の所定位置に、センスアンプ部のトランジスタT22に合わせた最も不純物濃度の低いチャネルドープ層154を形成する。このとき、ロジック部およびメモリセルアレイ部のトランジスタT21およびT23の形成領域にもチャネルドープ層154が形成される。なお、チャネルドープ層154の形成は、例えばボロンイオンを、50keVのエネルギーで、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0097】次に、図98に示す工程において、センスアンプ部の上部にレジストマスクR251を形成し、ロジック部およびメモリセルアレイ部のチャネルドープ層154に選択的に不純物を追加注入し、メモリセルアレイ部のトランジスタT23に合わせた不純物濃度のチャネルドープ層153を形成する。このとき、ロジック部のトランジスタT21の形成領域にもチャネルドープ層153が形成される。なお、チャネルドープ層153の形成は、例えばボロンイオンを、50keVのエネルギーで、 $4 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0098】次に、図99に示す工程において、センスアンプ部およびメモリセルアレイ部の上部にレジストマスクR252を形成し、ロジック部のチャネルドープ層153に選択的に不純物を追加注入し、ロジック部のトランジスタT21に合わせた不純物濃度のチャネルドープ層155を形成する。なお、チャネルドープ層155の形成は、例えばボロンイオンを、50keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0099】次に、図100に示す工程において、半導体基板51の主面上にゲート酸化膜53となる酸化膜531を熱酸化法により形成する。なお、酸化膜531の厚みは40オングストローム程度である。

【0100】次に、図101に示す工程において、センスアンプ部およびメモリセルアレイ部の絶縁膜531上

をレジストマスクR253で覆い、ロジック部上の酸化膜531のみを選択的に除去する。

【0101】次に、レジストマスクR253を除去した後、図102に示す工程において、半導体基板51の主面上にゲート酸化膜54となる酸化膜541を熱酸化法により形成する。このとき、センスアンプ部およびメモリセルアレイ部の酸化膜531が成長し膜厚が増加することになる。なお、酸化膜541の厚みは60オングストローム程度であり、酸化膜531は100オングストローム程度に成長する。

【0102】次に、図103に示す工程において、酸化膜531および酸化膜541の上にゲート電極材料として、例えばドーフトポリシリコン層551をCVD法にて形成する。なお、ドーフトポリシリコン層551の厚みは2000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $1 \times 10^{20} / \text{cm}^3$ 程度である。

【0103】次に、図104に示す工程において、ドーフトポリシリコン層551の上部にレジストマスクR254を形成しパターンニングを行う。このパターンニングにより、ロジック部においては、ゲート酸化膜54およびゲート電極55を、センスアンプ部およびメモリセルアレイ部においては、ゲート酸化膜53およびゲート電極55を形成する。

【0104】次に、ロジック部、センスアンプ部、メモリセルアレイ部にイオン注入によりLDD層157を形成した後、ロジック部においては、ゲート酸化膜54およびゲート電極55の側面に、センスアンプ部およびメモリセルアレイ部においては、ゲート酸化膜53およびゲート電極55の側面に、約1000オングストロームの厚さのサイドウォール酸化膜56を形成する。そして、サイドウォール酸化膜56をマスクとして、イオン注入によりソース・ドレイン層156を形成することで、図93に示すLOGIC in DRAMの構成が得られる。

【0105】ここで、LDD層157は、例えば砒素(As)イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層156は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量を注入した後、850℃で30分間アニールすることで形成する。

【0106】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりLOGIC in DRAMが形成されるが、それらの工程の説明および図示は省略する。

【0107】＜従来のLOGIC in DRAMの問題点＞以上説明したように、従来のLOGIC in DRAMにおいては、ロジック部、センスアンプ部、メモリセルアレイ部などで使用される、特性が異なるトラ

ンジスタを1チップ内に作るため、チャネルドープ層の不純物濃度をトランジスタに合わせて変えることでしきい値の調整をしていた。

【0108】しかし、チャネルドープ層の不純物濃度が高くなると、しきい値が上がるのと同時に、例えば拡散層と基板との接合部分での不純物濃度が高くなるため拡散層リークが多くなる。つまり、しきい値と拡散層リークとはトレードオフの関係性を有し、しきい値が決まると漏れ電流も一義的に決定され、回路設計は両者のトレードオフ関係により制約を受けていた。

【0109】また、ロジック部では、高駆動能力を得るため他の部分よりも厚さの薄いゲート酸化膜を形成する必要がある。そのため、1チップのフラッシュメモリ内で酸化膜厚の異なる数種類のトランジスタを形成する必要から、酸化膜の形成を複数回に分けて行う場合が生じる。例えば、センスアンプ部、メモリセルアレイ部などでは、酸化膜531は、レジストマスクR253を除去する工程(図101)等を経て、酸化膜541を形成する際にさらに成長させる(図102)ことになる。すなわち、ゲート酸化膜53を2回に分けて形成することになる。このため、不純物混入の機会が増えるなどしてゲート酸化膜53の信頼性劣化が生じたり、膜厚の制御性が悪くなって、センスアンプ部およびメモリセルアレイ部のNチャネル型MOSトランジスタT22およびT23の信頼性が損なわれるなどの問題が生じていた。

【0110】<第4の従来例>

<ロジック回路を有したフラッシュメモリの全体構成>
次に、第4の従来例として、ロジック回路を有したフラッシュメモリ(以後、LOGIC in FLASHと呼称)900の構成および製造方法について説明する。

【0111】トランジスタの微細化に伴い、大容量化と共に注目される開発目標の1つに、マイクロコンピュータを1つのチップに作り込んだワンチップマイコンがある。特に、フラッシュメモリとMPU(microprocessing unit)とを1チップ内に作り込む素子を、フラッシュ混載ロジックと呼び、例えば1995IEDMショートコースプログラム等で発表されている(1995IEDM SHORT COURSE PROGRAM "EMBEDDED FLASH MEMORY APPLICATIONS, TECHNOLOGY AND DESIGN", CLINTON KUO, MOTOROLA)。

【0112】一例を図105に示す。図105に示すように、LOGIC in FLASH900は、ロジック部とフラッシュメモリ部とに大別され、ロジック部では、高速であること、すなわち、高駆動能力と低容量であることが求められている。

【0113】また、フラッシュメモリ部では、高電圧が印加される高耐圧部やトンネル酸化膜に高い信頼性が求められるメモリセルアレイ部などを有している。つま

り、1チップのLOGIC in FLASH内で特性の異なる数種類のトランジスタが必要となる。

【0114】<各トランジスタの構成>これらの特性が異なるトランジスタを1チップ内に作るため、従来は酸化膜厚をトランジスタによって変えたり、場合によってはチャネルドープ層の不純物プロファイルを変えることで対応していた。以下、酸化膜厚をトランジスタによって変えるとともに、チャネルドープ層の不純物濃度を変化させた例について説明する。

10 【0115】図106は従来の製造方法により製造したLOGIC in FLASHの構成例(部分図)であり、ロジック部と、フラッシュメモリ部内の高耐圧部およびメモリセルアレイ部に用いられるNチャネル型MOSトランジスタT31~T33の断面をそれぞれ示している。

20 【0116】図106において、Nチャネル型MOSトランジスタT31~T33は同一の半導体基板71(P型)上に形成されたP型のウエル層171内に形成されている。ウエル層171は、ウエル層171内に形成されたチャネルカット層172と、LOCOS層72とで素子間分離され、Nチャネル型MOSトランジスタT31~T33は、それぞれ素子間分離された領域に形成されている。

【0117】ロジック部のNチャネル型MOSトランジスタT31は、ウエル層171内に独立して平行に形成された1対のソース・ドレイン層176と、当該ソース・ドレイン層176の向かい合う端縁部に接して形成された1対のLDD層177とを備えている。

30 【0118】そして、LDD層177の上部にはゲート酸化膜76が形成され、当該ゲート酸化膜76の上部にはゲート電極79が形成されている。また、ゲート酸化膜76およびゲート電極79の側面にはサイドウォール酸化膜80が形成されている。また、ゲート電極79の下層のウエル層171内には、チャネルドープ層175が形成されている。

40 【0119】フラッシュメモリ部における高耐圧部のNチャネル型MOSトランジスタT32は、ウエル層171内に独立して平行に形成された1対のソース・ドレイン層176と、当該ソース・ドレイン層176の向かい合う端縁部に接して形成された1対のLDD層177とを備えている。

【0120】そして、LDD層177の上部にはゲート酸化膜75が形成され、当該ゲート酸化膜75の上部にはゲート電極79が形成されている。また、ゲート酸化膜75およびゲート電極79の側面にはサイドウォール酸化膜80が形成されている。また、ゲート電極79の下層のウエル層171内には、チャネルドープ層173が形成されている。

50 【0121】フラッシュメモリ部におけるメモリセルアレイ部のNチャネル型MOSトランジスタT33は、ウ

エル層171内に独立して平行に形成された一対のソース・ドレイン層176を備え、ソース・ドレイン層126の端縁部上部にはトンネル酸化膜73が形成され、当該トンネル酸化膜73の上部にはフローティングゲート電極77、層間絶縁膜74、コントロールゲート電極78が順次形成されている。

【0122】また、トンネル酸化膜73、フローティングゲート電極77、層間絶縁膜74、コントロールゲート電極78の側面にはサイドウォール酸化膜80が形成されている。

【0123】また、フローティングゲート電極77の下層のウエル層171内には、チャンネルドープ層175が形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層177を共有する構造となっており、そ*

*の構造が連続して配設された構成となっている。

【0124】図106に示すフラッシュメモリにおいて特徴的なのは、高耐圧部のNチャネル型MOSトランジスタT32のゲート酸化膜75の厚みが最も厚く、メモリセルアレイ部のNチャネル型MOSトランジスタT33のトンネル酸化膜73、ロジック部のNチャネル型MOSトランジスタT31のゲート酸化膜76の順に厚みが薄くなっている点と、高耐圧部のNチャネル型MOSトランジスタT32のチャンネルドープ層173の不純物濃度が、他のチャンネルドープ層よりも低く形成されている点である。

【0125】なお、表4にNチャネル型MOSトランジスタT31～T33の構成諸元を示す。

【0126】

【表4】

	ロジック部 (T31)	高耐圧部 (T32)	メモリセルアレイ部 (T33)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	60 Å	250 Å	100 Å
フローティングゲート電極膜厚	-----	-----	1000 Å
フローティングゲート不純物濃度	-----	-----	$1 \times 10^{20} / \text{cm}^3$
層間絶縁膜厚	-----	-----	TEOS/Si ₃ N ₄ /TEOS=100/100/100 Å
コントロールゲート電極膜厚	2000 Å	2000 Å	2000 Å
コントロールゲート不純物濃度	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$	$5 \times 10^{20} / \text{cm}^3$
サイドウォール	1000 Å	1000 Å	1000 Å
ウエル	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$
チャンネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャンネルドープ	B 50keV $1 \times 10^{13} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $1 \times 10^{13} / \text{cm}^2$
LDD	P 30keV $1 \times 10^{13} / \text{cm}^2$	P 30keV $1 \times 10^{13} / \text{cm}^2$	-----
ソース/ドレイン	P 50keV $5 \times 10^{15} / \text{cm}^2$	P 50keV $5 \times 10^{15} / \text{cm}^2$	P 50keV $5 \times 10^{15} / \text{cm}^2$
熱処理	850℃ 60min		

【0127】表4において、Nチャネル型MOSトランジスタT31～T33のそれぞれのゲート酸化膜の厚みは、60オングストローム、250オングストローム、100オングストロームとなっている。

【0128】また、Nチャネル型MOSトランジスタT32のチャンネルドープ層173の不純物の不純物ドーズ量は $1 \times 10^{12} / \text{cm}^2$ 、Nチャネル型MOSトランジスタT31およびT33のチャンネルドープ層175の不純物の不純物ドーズ量は $1 \times 10^{13} / \text{cm}^2$ となっている。なお、注入不純物は何れもボロン(B)であり、注入エネルギーは何れも50keVである。

【0129】また、図106で示したセンスアンプ部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT31～T33における、A-A'線、B-B'線、およびC-C'線による断面部分の不純物プロファイルを図107に示す。

【0130】図107において、横軸に断面方向の位置(深さ)を、縦軸に不純物濃度を示す。なお、横軸は図

に向かって左側から順に、ゲート電極(ポリシリコン層)、ゲート酸化膜(SiO₂層)、ウエル層(バルクシリコン層)となっている。

【0131】ゲート電極における不純物濃度は表3に示すように、何れのトランジスタにおいても同じ量で均一になるように形成されているので、A-A'線、B-B'線、およびC-C'線は重なり合う直線(それぞれを区別するため図面的には3つの直線で示している)で示されるが、ウエル層においては、しきい値の要求が低い高耐圧部のトランジスタでは、チャンネルドーズ量が少なく、酸化膜-バルク界面での不純物濃度も低い。なお、各プロファイルのピーク位置は、それぞれのチャンネルドープ層の形成位置にほぼ等しい。

【0132】また、図108に各ゲート酸化膜の厚みを示す。図108において、横軸左側から順にロジック部、高耐圧部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを表示している。図108に示されるように、フラッシュメモリ部の高耐圧部の酸化

膜が最も厚く、ロジック部は、電流駆動能力向上のため、酸化膜が最も薄くなっている。

【0133】<各トランジスタの製造方法>以下に、図106で示したロジック部、フラッシュメモリ部の高耐圧部およびメモリセルアレイ部のNチャネル型MOSトランジスタT31～T33の製造方法について、図109～図122を用いて説明する。

【0134】まず、図109に示す工程において、P型の半導体基板71の表面にロコス法によりLOCOS層（フィールド酸化膜）72を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロニオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで、半導体基板71内にP型のウエル領域171を形成する。なお、半導体基板71内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロニオンを、130keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで、半導体基板71内にチャネルカット層172を形成する。なお、チャネルカット層172は、LOCOS層72とで素子間分離領域を形成するような形状に形成する。

【0135】次に、高耐圧部のトランジスタT32のウエル領域171内に、最も不純物濃度の低いチャネルドープ層173を形成する。なお、チャネルドープ層173の形成は、例えばボロニオンを、50keVのエネルギーで、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0136】次に、ロジック部およびメモリセルアレイ部のトランジスタT31およびT33のウエル領域171内に不純物を注入し、ロジック部およびメモリセルアレイ部のトランジスタT31およびT33に合わせた不純物濃度のチャネルドープ層175を形成する。なお、チャネルドープ層175の形成は、例えばボロニオンを、50keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで行う。

【0137】次に、図110に示す工程において、半導体基板71の主面上にトンネル酸化膜73となる酸化膜731を熱酸化法により形成した後、その上にゲート電極材料として、例えばドーフトポリシリコン層771をCVD法にて形成する。なお、酸化膜731の厚みは100オングストローム程度、ドーフトポリシリコン層771の厚みは1000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $1 \times 10^{20} / \text{cm}^3$ 程度である。

【0138】次に、図111に示す工程において、メモリセルアレイ部におけるドーフトポリシリコン層771の上部に選択的にレジストマスクR261を形成する。この場合、レジストマスクR261はメモリセルアレイ部のゲート幅方向に沿って形成される。そして、レジス

トマスクR261で覆われていない部分のドーフトポリシリコン層771を異方性エッチングにより除去する。この状態を図112に示す。

【0139】図112は、図111を上面側（レジストマスクR261を形成する側）から見た平面図であり、レジストマスクR261はメモリセルアレイ部において、規則的に配列された矩形の島状をなすように形成されている。なお、レジストマスクR261は、矩形の島状をなす活性層AL上と、その周囲のLOCOS層L1上を覆うように形成されている。また、高耐圧部および周辺回路部においてはレジストマスクRが形成されていないので、活性層ALが露出している。

【0140】次に、レジストマスクR261を除去した後、図113に示す工程において、ドーフトポリシリコン層771上に、フローティングゲートとコントロールゲートとを絶縁する層間絶縁膜74となる絶縁膜741をCVD法にて形成する。なお、この膜はTEOS膜、窒化膜(Si_3N_4)、TEOS膜を順に積層した構成となっており、それぞれの膜厚は100オングストロームである。また、層間絶縁膜74はONO膜と呼称される場合もある。また、絶縁膜741は高耐圧部およびロジック部上にも形成される。

【0141】次に、図114に示す工程において、メモリセルアレイ部の絶縁膜741上をレジストマスクR262で覆い、その他の領域の絶縁膜741を全て除去する。この場合、その他の領域においては酸化膜731も除去する。この状態を図115に示す。

【0142】図115は、図114を上面側（レジストマスクR262を形成する側）から見た平面図であり、レジストマスクR262はメモリセルアレイ部全域を覆うように形成されているが、高耐圧部およびロジック部においてはレジストマスクR262が形成されていないので、活性層ALが露出している。

【0143】次に、レジストマスクR262を除去した後、図116に示す工程において、半導体基板71の主面全面にゲート酸化膜75となる酸化膜751を熱酸化法により形成する。このときメモリセルアレイ部上の絶縁膜741は、窒化膜を含んでいるため酸化されることはなく、その厚さは保たれる。なお、酸化膜261の厚みは190オングストローム程度である。

【0144】次に、図117に示す工程において、ロジック部以外の領域をレジストマスクR263で覆い、ロジック部上の酸化膜751をウェットエッチングにより除去する。この状態を図118に示す。

【0145】図118は、図117を上面側（レジストマスクR263を形成する側）から見た平面図であり、レジストマスクR263はメモリセルアレイ部および高耐圧部の全域を覆うように形成されているが、ロジック部においてはレジストマスクR263が形成されていないので、活性層ALが露出している。

【0146】次に、レジストマスクR263を除去した後、図119に示す工程において、ゲート酸化膜76となる酸化膜761を熱酸化法により形成する。このときメモリセルアレイ部上の絶縁膜741は、窒化膜を含んでいるため酸化されることはなく、その厚さは保たれるが、高耐圧部では酸化膜751が成長し膜厚が増加することになる。なお、酸化膜761の厚みは60オングストローム程度であり、酸化膜751は250オングストローム程度に成長する。

【0147】次に、図120に示す工程において、半導体基板71の主面全面に、ゲート電極材料として、例えばドーフトポリシリコン層791をCVD法にて形成する。なお、ドーフトポリシリコン層791の厚みは2000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $5 \times 10^{20} / \text{cm}^3$ 程度である。

【0148】次に、図121に示す工程において、ドーフトポリシリコン層791の上部にレジストマスクR264を形成してパターンニングを行う。この状態を図122に示す。

【0149】図122は、図121を上面側(レジストマスクR264を形成する側)から見た平面図であり、レジストマスクR264は、矩形状の活性領域ALに垂直になるように形成されている。

【0150】このパターンニングにより、ロジック部においては、ゲート酸化膜76およびゲート電極79を、高耐圧部においては、ゲート酸化膜75およびゲート電極79を、メモリセルアレイ部においては、トンネル酸化膜73、フローティングゲート電極77、層間絶縁膜74、コントロールゲート電極78を形成する。

【0151】次に、ロジック部、高耐圧部にイオン注入によりLDD層177を形成した後、ゲート酸化膜76およびゲート電極79の側面、ゲート酸化膜75およびゲート電極79の側面、トンネル酸化膜73、フローティングゲート電極77、層間絶縁膜74、コントロールゲート電極78の側面に、約1000オングストロームの厚さのサイドウォール酸化膜80を形成する。そして、サイドウォール酸化膜80をマスクとして、イオン注入によりソース・ドレイン層176を形成することで、図106に示すフラッシュメモリの構成が得られる。

【0152】ここで、LDD層177は、例えば砒素イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層126は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量を注入した後、850℃で30分間アニールすることで形成する。

【0153】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりLO

GIC in FLASHが形成されるが、それらの工程の説明および図示は省略する。

【0154】<従来のLOGIC in FLASHの問題点>以上説明したように、従来のLOGIC in FLASHにおいては、ロジック部、高耐圧部、メモリセルアレイ部などで使用される、特性が異なるトランジスタを1チップ内に作るため、チャネルドーパントの不純物濃度をトランジスタに合わせて変えることでしきい値の調整をしていた。

【0155】しかし、チャネルドーパントの不純物濃度が高くなると、しきい値が上がるのと同時に、例えば拡散層と基板との接合部分での不純物濃度が高くなるため拡散層リークが多くなる。つまり、しきい値と拡散層リークとはトレードオフの関係を有し、しきい値が決まると漏れ電流も一義的に決定され、回路設計は両者のトレードオフ関係により制約を受けていた。

【0156】また、ロジック部では、高駆動能力を得るため他の部分よりも厚さの薄いゲート酸化膜を形成する必要がある。そのため、1チップのフラッシュメモリ内で酸化膜厚の異なる数種類のトランジスタを形成する必要から、酸化膜の形成を複数回に分けて行う場合が生じる。例えば、高耐圧部などでは、酸化膜751は、レジストマスクR263を除去する工程(図117)等を経て、酸化膜761を形成する際にさらに成長させる(図118)ことになる。すなわち、酸化膜751を2回に分けて形成することになる。このため、不純物混入の機会が増えるなどしてゲート酸化膜75の信頼性劣化が生じたり、膜厚の制御性が悪くなって、高耐圧部のNチャネル型MOSトランジスタT32の信頼性が損なわれるなどの問題が生じていた。

【0157】

【発明が解決しようとする課題】以上説明したように、1つのチップ内に複数種類のトランジスタを作り込んだ半導体装置においては、チャネルドーパントの不純物濃度をトランジスタに合わせて変えることでしきい値の調整をしていたが、しきい値と拡散層リークとはトレードオフの関係を有し、しきい値が決まると漏れ電流も一義的に決定され、回路設計は両者のトレードオフ関係により制約を受けていた。また、ゲート酸化膜の形成を複数回に分けて行う必要があり、そのため、不純物混入の機会が増えるなどしてゲート酸化膜の信頼性劣化が生じたり、膜厚の制御性が悪くなって、トランジスタの信頼性が損なわれるなどの問題が生じていた。

【0158】本発明は上記のような問題点を解消するためになされたもので、しきい値と拡散層リークとのトレードオフ関係を解消するとともに、ゲート酸化膜の形成を複数回に分けて行う必要のない半導体装置および製造方法を提供する。

【0159】

【課題を解決するための手段】本発明に係る請求項1記

載の半導体装置は、同一の半導体基板上に複数の部分を備えた半導体装置であって、前記複数の部分が、第1～第3の種類のトランジスタのうち少なくとも1つを有し、前記第1の種類のトランジスタは、前記半導体基板の表面内に形成された第1導電型の第1の半導体層と、前記第1の半導体層内に選択的に形成された第1導電型の第1のチャネルドープ層と、前記第1の半導体層の上部の、前記第1のチャネルドープ層に相対する位置に形成された第1の制御電極とを備え、前記第2の種類のトランジスタは、前記半導体基板の表面内に形成された第1導電型の第2の半導体層と、前記第2の半導体層内に選択的に形成された第1導電型の第2のチャネルドープ層と、前記第2の半導体層の上部の、前記第2のチャネルドープ層に相対する位置に形成された第2の制御電極とを備え、前記第3の種類のトランジスタは、前記半導体基板の表面内に形成された第1導電型の第3の半導体層と、前記第3の半導体層内に選択的に形成された第1導電型の第3のチャネルドープ層と、前記第3の半導体層の上部の、前記第3のチャネルドープ層に相対する位置に形成された第3の制御電極とを備え、前記第1～第3の制御電極のうち少なくとも1つは、その内部に、深さ方向に濃度分布を有する第2導電型の不純物層を備えている。

【0160】本発明に係る請求項2記載の半導体装置は、前記第1の種類のトランジスタが、前記第1の半導体層内に選択的に独立して形成された1対の第2導電型の第1の半導体領域と、前記1対の第1の半導体領域の間の前記第1の半導体層の上部に形成された第1のゲート酸化膜とを備え、前記第1の制御電極が、前記第1のゲート酸化膜上に形成され、前記第1のチャネルドープ層が、前記第1の半導体層内の前記1対の第1の半導体領域の間に形成され、前記第2の種類のトランジスタは、前記第2の半導体層内に選択的に独立して形成された1対の第2導電型の第2の半導体領域と、前記1対の第2の半導体領域の間の前記第2の半導体層の上部に形成された第2のゲート酸化膜とを備え、前記第2の制御電極は、前記第2のゲート酸化膜上に形成され、前記第2のチャネルドープ層は、前記第2の半導体層内の前記1対の第2の半導体領域の間に形成され、前記第3の種類のトランジスタは、前記第3の半導体層内に選択的に独立して形成された1対の第2導電型の第3の半導体領域と、前記1対の第3の半導体領域の間の前記第3の半導体層の上部に形成された第3のゲート酸化膜とを備え、前記第3の制御電極は、前記第3のゲート酸化膜上に形成され、前記第3のチャネルドープ層は、前記第3の半導体層内の前記1対の第3の半導体領域の間に形成され、前記第1～第3の制御電極は、それぞれ不純物濃度の異なる第1～第3の不純物層を備え、前記第1～第3のゲート酸化膜は同じ厚さを有し、前記第1～第3のチャネルドープ層は同じ不純物濃度を有している。

【0161】本発明に係る請求項3記載の半導体装置は、前記第1の種類のトランジスタが、前記第1の半導体層内に選択的に独立して形成された1対の第2導電型の第1の半導体領域と、前記1対の第1の半導体領域の間の前記第1の半導体層の上部に形成された第1のゲート酸化膜とを備え、前記第1の制御電極は、前記第1のゲート酸化膜上に形成され、前記第1のチャネルドープ層は、前記第1の半導体層内の前記1対の第1の半導体領域の間に形成され、前記第2の種類のトランジスタは、前記第2の半導体層内に選択的に独立して形成された1対の第2導電型の第2の半導体領域と、前記1対の第2の半導体領域の間の前記第2の半導体層の上部に形成された第2のゲート酸化膜とを備え、前記第2の制御電極は、前記第2のゲート酸化膜上に形成され、前記第2のチャネルドープ層は、前記第2の半導体層内の前記1対の第2の半導体領域の間に形成され、前記第3の種類のトランジスタは、前記第3の半導体層内に選択的に独立して形成された1対の第2導電型の第3の半導体領域と、前記1対の第3の半導体領域の間の前記第3の半導体層の上部に形成された第3のゲート酸化膜と、前記第3のゲート酸化膜上に形成されたフローティングゲート電極と、前記フローティングゲート上に形成された層間絶縁膜とを備え、前記第3の制御電極は、前記層間絶縁膜上に形成され、前記第3のチャネルドープ層は、前記第3の半導体層内の前記1対の第3の半導体領域の間に形成され、前記第1～第3の制御電極は、それぞれ不純物濃度の異なる第1～第3の不純物層を備え、前記第1および第2のゲート酸化膜は同じ第1の厚さを有し、前記第3のゲート酸化膜は前記第1の厚さよりも薄い第2の厚さを有し、前記第1～第3のチャネルドープ層は同じ不純物濃度を有している。

【0162】本発明に係る請求項4記載の半導体装置は、前記第1の種類のトランジスタは、前記第1の半導体層内に選択的に独立して形成された1対の第2導電型の第1の半導体領域と、前記1対の第1の半導体領域の間の前記第1の半導体層の上部に形成された第1のゲート酸化膜とを備え、前記第1の制御電極は、前記第1のゲート酸化膜上に形成され、前記第1のチャネルドープ層は、前記第1の半導体層内の前記1対の第1の半導体領域の間に形成され、前記第2の種類のトランジスタは、前記第2の半導体層内に選択的に独立して形成された1対の第2導電型の第2の半導体領域と、前記1対の第2の半導体領域の間の前記第2の半導体層の上部に形成された第2のゲート酸化膜とを備え、前記第2の制御電極は、前記第2のゲート酸化膜上に形成され、前記第2のチャネルドープ層は、前記第2の半導体層内の前記1対の第2の半導体領域の間に形成され、前記第3の種類のトランジスタは、前記第3の半導体層内に選択的に独立して形成された1対の第2導電型の第3の半導体領域と、前記1対の第3の半導体領域の間の前記第3の半

導体層の上部に形成された第3のゲート酸化膜とを備え、前記第3の制御電極は、前記第3のゲート酸化膜上に形成され、前記第3のチャネルドープ層は、前記第3の半導体層内の前記1対の第3の半導体領域の間に形成され、前記第1および第2の制御電極は、不純物濃度が同じ第1および第2の不純物層を備え、前記第3の制御電極は、第1および第2の不純物層より低い濃度の第3の不純物層を備え、前記第1～第3のゲート酸化膜は同じ厚さを有し、前記第1および第3のチャネルドープ層は同じ不純物濃度を有している。

【0163】本発明に係る請求項5記載の半導体装置は、前記第1の種類のトランジスタが、前記第1の半導体層内に選択的に独立して形成された1対の第2導電型の第1の半導体領域と、前記1対の第1の半導体領域の間の前記第1の半導体層の上部に形成された第1のゲート酸化膜とを備え、前記第1の制御電極は、前記第1のゲート酸化膜上に形成され、前記第1のチャネルドープ層は、前記第1の半導体層内の前記1対の第1の半導体領域の間に形成され、前記第2の種類のトランジスタは、前記第2の半導体層内に選択的に独立して形成された1対の第2導電型の第2の半導体領域と、前記1対の第2の半導体領域の間の前記第2の半導体層の上部に形成された第2のゲート酸化膜とを備え、前記第2の制御電極は、前記第2のゲート酸化膜上に形成され、前記第2のチャネルドープ層は、前記第2の半導体層内の前記1対の第2の半導体領域の間に形成され、前記第3の種類のトランジスタは、前記第3の半導体層内に選択的に独立して形成された1対の第2導電型の第3の半導体領域と、前記1対の第3の半導体領域の間の前記第3の半導体層の上部に形成された第3のゲート酸化膜と、前記第3のゲート酸化膜上に形成されたフローティングゲート電極と、前記フローティングゲート上に形成された層間絶縁膜とを備え、前記第3の制御電極は、前記層間絶縁膜上に形成され、前記第3のチャネルドープ層は、前記第3の半導体層内の前記1対の第3の半導体領域の間に形成され、前記第1および第3の制御電極は、不純物濃度が同じ第1および第3の不純物層を備え、前記第2の制御電極は、第1および第3の不純物層より低い濃度の第2の不純物層を備え、前記第1および第2のゲート酸化膜は同じ第1の厚さを有し、前記第3のゲート酸化膜は前記第1の厚さよりも厚い第2の厚さを有し、前記第1～第3のチャネルドープ層は同じ不純物濃度を有している。

【0164】本発明に係る請求項6記載の半導体装置の製造方法は、同一の半導体基板上に複数の部分を備え、前記複数の部分が、第1～第3の種類のトランジスタのうち少なくとも1つを有した半導体装置の製造方法であって、前記半導体基板の表面内の前記第1～第3の種類のトランジスタが形成される位置に、それぞれ第1導電型の第1～第3の半導体層を形成する工程(a)と、前記

第1～第3の半導体層内に、それぞれイオン注入により第1導電型の第1～第3のチャネルドープ層を選択的に形成する工程(b)と、前記第1～第3の半導体層の上部の、前記第1～第3のチャネルドープ層に相対する位置に、それぞれ第1～第3の制御電極を形成する工程(c)とを備え、前記第1～第3の制御電極を形成する工程が、前記第1～第3の制御電極のうち少なくとも1つに、その内部に、深さ方向に濃度分布を有する第1導電型の不純物層を形成する工程を含んでいる。

10 【0165】本発明に係る請求項7記載の半導体装置の製造方法は、前記工程(c)が、前記第1～第3の半導体層の上部に酸化膜を形成する工程と、前記酸化膜上に第1の導電層を形成する工程と、前記第1の導電層にドーズ量n1で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第2の導電層を形成する工程と、前記第3の回路が形成される位置の前記第2の導電層上をマスクし、残る前記第2の導電層にドーズ量n2で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、前記第2および第3の回路が形成される位置の前記第3および第2の導電層上をマスクし、残る前記第3の導電層にドーズ量n3で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第4の導電層を形成する工程と、前記第2～第4の導電層、および前記酸化膜をパターニングにより選択的に除去することで、前記第1の半導体層上に、第1のゲート酸化膜および第1の制御電極を、前記第2の半導体層上に、第2のゲート酸化膜および第2の制御電極を、前記第3の半導体層上に、第3のゲート酸化膜および第3の制御電極を形成する工程とを備えている。

20 【0166】本発明に係る請求項8記載の半導体装置の製造方法は、前記工程(c)が、前記第1～第3の半導体層の上部に酸化膜を形成する工程と、前記酸化膜上に第1の導電層を形成する工程と、前記1の導電層、および前記酸化膜をパターニングにより選択的に除去する工程と、パターニングされた前記第1の導電層に、選択的にドーズ量n1で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第2の導電層を形成する工程と、前記第3の回路が形成される位置の前記第2の導電層上をマスクし、残る前記第2の導電層にドーズ量n2で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第3の導電層を形成する工程と、前記第2および第3の回路が形成される位置の前記第3および第2の導電層上をマスクし、残る前記第3の導電層にドーズ量n3で第2導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第4の導電層を形成する工程とを備えている。

30 【0167】本発明に係る請求項9記載の半導体装置の製造方法は、前記工程(c)が、前記第1～第3の半導体層の上部に第1の厚さを有した第1の酸化膜を形成する

工程と、前記第 3 の半導体層上の前記第 1 の酸化膜上に第 2 導電型の不純物を均一に有した第 1 の導電層を選択的に形成する工程と、前記第 1 の導電層上に選択的に絶縁膜を形成するとともに、前記第 1 および第 2 の回路が形成される位置の前記第 1 の酸化膜を除去する工程と、前記第 1 および第 2 の半導体層の上部に前記第 1 の厚さよりも薄い第 2 の厚さを有した第 2 の酸化膜を形成する工程と、前記第 2 の酸化膜上および前記絶縁膜上に第 2 の導電層を形成する工程と、前記第 2 の導電層にドーザ量 $n1$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 3 の導電層を形成する工程と、前記第 1 の回路が形成される位置の前記第 3 の導電層上をマスクし、残る前記第 3 の導電層にドーザ量 $n2$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 4 の導電層を形成する工程と、前記第 1 および第 3 の回路が形成される位置の前記第 3 および第 4 の導電層上をマスクし、残る前記第 4 の導電層にドーザ量 $n3$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 5 の導電層を形成する工程と、前記第 3 ～第 5 の導電層、前記第 1 および第 2 の酸化膜、前記絶縁膜をパターンニングにより選択的に除去して、前記第 1 の半導体層上に、第 1 のゲート酸化膜および第 1 の制御電極を、前記第 2 の半導体層上に、第 2 のゲート酸化膜および第 2 の制御電極を、前記第 3 の半導体層上に、第 3 のゲート酸化膜、フローティングゲート電極、層間絶縁膜、第 3 の制御電極を形成する工程とを備えている。

【0168】本発明に係る請求項 10 記載の半導体装置の製造方法は、前記工程 (b) が、前記第 1 および第 3 のチャネルドープ層を、同じ不純物濃度となるように形成する工程を含み、前記工程 (c) は、前記第 1 ～第 3 の半導体層の上部に酸化膜を形成する工程と、前記酸化膜上に第 1 の導電層を形成する工程と、前記第 1 の導電層にドーザ量 $n1$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 2 の導電層を形成する工程と、前記第 3 の回路が形成される位置の前記第 2 の導電層上をマスクし、残る前記第 2 の導電層にドーザ量 $n2$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 3 の導電層を形成する工程と、前記第 2 および第 3 の導電層、および前記酸化膜をパターンニングにより選択的に除去して、前記第 1 の半導体層上に、第 1 のゲート酸化膜および第 1 の制御電極を、前記第 2 の半導体層上に、第 2 のゲート酸化膜および第 2 の制御電極を、前記第 3 の半導体層上に、第 3 のゲート酸化膜および第 3 の制御電極を形成する工程とを備えている。

【0169】本発明に係る請求項 11 記載の半導体装置の製造方法は、前記工程 (c) が、前記第 1 ～第 3 の半導体層の上部に第 1 の厚さを有した第 1 の酸化膜を形成する工程と、前記第 3 の半導体層上の前記第 1 の酸化膜上

に第 2 導電型の不純物を均一に有した第 1 の導電層を選択的に形成する工程と、前記第 1 の導電層上に選択的に絶縁膜を形成するとともに、前記第 1 および第 2 の回路が形成される位置の前記第 1 の酸化膜を除去する工程と、前記第 1 および第 2 の半導体層の上部に前記第 1 の厚さよりも薄い第 2 の厚さを有した第 2 の酸化膜を形成する工程と、前記第 2 の酸化膜上および前記絶縁膜上に第 2 の導電層を形成する工程と、前記第 2 の導電層にドーザ量 $n1$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 3 の導電層を形成する工程と、前記第 2 の回路が形成される位置の前記第 3 の導電層上をマスクし、残る前記第 3 の導電層にドーザ量 $n2$ で第 2 導電型の不純物を注入して、その内部に、深さ方向に不純物が分布した第 4 の導電層を形成する工程と、前記第 1、第 3 および第 4 の導電層、前記第 1 および第 2 の酸化膜、前記絶縁膜をパターンニングにより選択的に除去して、前記第 1 の半導体層上に、第 1 のゲート酸化膜および第 1 の制御電極を、前記第 2 の半導体層上に、第 2 のゲート酸化膜および第 2 の制御電極を、前記第 3 の半導体層上に、第 3 のゲート酸化膜、フローティングゲート電極、層間絶縁膜、第 3 の制御電極を形成する工程とを備えている。

【0170】本発明に係る請求項 12 記載の半導体装置の製造方法は、同一の半導体基板上に、第 1 および第 2 の種類のトランジスタを有した半導体装置の製造方法であって、前記半導体基板の主面上に選択的にフィールド酸化膜を形成し、前記第 1 および第 2 の種類のトランジスタが形成される第 1 および第 2 の領域を規定する工程 (a) と、前記第 1 および第 2 の領域上から前記フィールド酸化膜上にかけて酸化膜を形成する工程 (b) と、前記酸化膜上に制御電極となる導電層を形成する工程 (c) と、前記第 1 および第 2 の領域のうち、少なくとも一方の領域上の前記導電層にソース・ドレイン層と同じ導電型の不純物を導入する工程 (d) とを備えている。

【0171】本発明に係る請求項 13 記載の半導体装置の製造方法は、前記工程 (d) が、前記第 1 および第 2 の領域のうち、少なくとも前記第 1 の領域上の前記導電層上に、選択的にレジストを形成し、該レジストの周辺にイオン注入により前記不純物を注入する工程と、前記注入された前記不純物を、熱拡散によって拡散させることで、前記第 1 および第 2 の領域のうち、少なくとも前記第 1 の領域上の前記導電層内に、前記不純物を導入する工程とを含む請求項 12 記載の半導体装置の製造方法。

【0172】本発明に係る請求項 14 記載の半導体装置の製造方法は、前記工程 (d) が、前記第 1 および第 2 の領域のうち、少なくとも前記第 1 の領域上の前記導電層の端縁部上から、前記フィールド酸化膜上にかけて選択的にレジストを形成し、該レジストで覆われない前記導電層に、イオン注入により前記不純物を注入する工程と、前記注入された前記不純物を、熱拡散によって拡散

させることで、前記第1および第2の領域のうち、少なくとも前記第1の領域上の前記導電層内に、平面方向中央部では濃度が高く、端縁部に近づくにつれて濃度が低くなるように前記不純物を導入する工程とを含んでいる。

【0173】本発明に係る請求項15記載の半導体装置の製造方法は、前記工程(c)が、前記不純物を均一に含んだ第1の導電層と、前記不純物を含まない第2の導電層とを積層することで、前記導電層を形成する工程(c-1)を含み、前記工程(d)が、少なくとも前記第1の領域上の前記第1および第2の導電層において、前記第1の導電層から前記第2の導電層に前記不純物を自然拡散させることで、前記不純物を分布させる工程を含んでいる。

【0174】本発明に係る請求項16記載の半導体装置の製造方法は、前記工程(c-1)が、前記第1の導電層と前記第2の導電層との間に、前記不純物の拡散量を抑制する拡散抑制膜を形成する工程を含んでいる。

【0175】

【発明の実施の形態】一般的にMOSトランジスタを構成するゲート電極には、N型かP型の不純物がドーピングされている。これは、不純物をドーピングする事によりゲートの抵抗を下げる効果を狙ったものである。また、N型かP型かは、ウエル層のタイプによって異なる。すなわち、N型ウエルに対してはP型ゲート電極を、P型ウエルに対してはN型ゲート電極を選択することによりしきい値を低く抑える事ができる。

【0176】このように不純物ドーピングされた電極の形成方法としては、大きく2つの方法がある。一つは、ドーピングポリシリコンを積層することによりゲート電極を形成する方法である。すなわち、CVD法において、ポリシリコンの積層材料と不純物の材料ガスとを同時に流し、ポリシリコン層の形成と同時に、不純物をドーピングしてしまう方法である。この方法で形成すると、ポリシリコン中の不純物プロファイルを一様に保つ事ができる。このようにして形成されたMOSトランジスタM1の構成を図1に、そのゲート電極中の不純物プロファイルを図2に示す。

【0177】図1に示すMOSトランジスタM1のゲート電極G1のA-A'線での不純物濃度は、図2で示すように、ゲート酸化膜(SiO₂)Z1とゲート電極(ポリSi)G1との界面から急激に立ち上がり、ゲート電極G1内においては一定値を保っている。なお、図2においては、横軸に不純物濃度を、縦軸にA-A'線方向の距離(深さ)を示し、図中において、Si-SiO₂界面とは、ウエル層W1とゲート酸化膜Z1との接合面を示す。

【0178】しかし、この方法では1チップの全てのゲート電極に同じタイプの不純物がドーピングされることになるため、例えばN型のドーピングポリシリコンを積層した

場合、P型ウエル層内に形成されるNチャネル型MOSトランジスタのしきい値を抑えることはできるが、N型ウエル層内に形成されるPチャネル型MOSトランジスタのしきい値は高くなる。従って、チャネル埋め込み層を形成するなど、チャネルエンジニアリングにより、しきい値を調整する必要が生じる。

【0179】もう一方は、イオン注入技術を用いる手法である。すなわち、ノンドーピングのポリシリコン層を形成した後、不純物イオンを注入することによりゲート電極中に不純物をドーピングする方法である。この手法を用いると、例えばレジストマスクで注入領域を限定することにより容易にN型とP型のゲート電極を作り分ける事が可能である。このようにして形成されたMOSトランジスタM2の構成を図3に、そのゲート電極中の不純物プロファイルを図4に示す。

【0180】図3に示すMOSトランジスタM2のゲート電極G2のA-A'線での不純物濃度は、図4で示すように、ゲート酸化膜(SiO₂)Z2とゲート電極(ポリSi)G2との界面からカーブを描いて立ち上がり、ゲート電極G2内においてピークを有し、再びカーブを描いて立ち下がるような分布となっている。

【0181】このように、イオン注入により形成した場合、ゲート電極内の不純物分布を一様にできず、ゲート電極とゲート酸化膜界面で不純物濃度が低くなり、トランジスタ動作時には、ゲート電極内に空乏層DPが形成されることになる。そして、空乏層が形成されると、空乏層内で電圧ドロップが生じるため、素子に印加される電圧は、印加された電圧より低くなる。すなわち、酸化膜厚が実効的に厚くなる。従って、しきい値の増加やドレイン電流の減少などの問題が生じる。

【0182】従来は、ゲート電極内に空乏層が形成されることを防止するため、不純物濃度が高いほど空乏層は発生しにくいことを利用して、ゲート電極内の不純物濃度ができるだけ高くなるようにしていた。この現象を図5および図6に示す。

【0183】図5は、ゲート電極G3内の不純物濃度が比較的高い場合のMOSトランジスタM3において、ゲート電極G3内に形成される空乏層DP1の形成状態と、ゲート電極G3のA-A'線での不純物プロファイルを示している。

【0184】図6は、ゲート電極G4内の不純物濃度が比較的高い場合のMOSトランジスタM4において、ゲート電極G4内に形成される空乏層DP2の形成状態と、ゲート電極G4のA-A'線での不純物プロファイルを示している。

【0185】両者の比較により、ゲート電極G4内の空乏層DP2は、ゲート電極G3内の空乏層DP1よりも広い範囲に形成されていることがわかる。

【0186】本願発明はゲート電極内に形成される空乏層を積極的に利用するものであり、空乏層の形成範囲を

調整することにより、実効的な酸化膜厚の異なる複数種類のトランジスタを1チップ内に作り込むものである。

【0187】以下、DRAM、フラッシュメモリ、ロジックインDRAM、ロジックインフラッシュメモリを例にとって、本願発明の実施の形態を説明する。

【0188】＜実施の形態1＞

＜1-1. 装置構成＞図7に本発明に係る実施の形態1として、複数種類のトランジスタを作り込んだDRAM100の部分構成を示す。一般的にDRAMは、データを蓄積するメモリセルアレイ部だけでなく、センスアンプ部、周辺回路部（例えば、アドレスバッファ、Xデコーダ、Yデコーダ、ローカラムクロック回路、I/Oバス回路、リフレッシュ回路など）を備えている。

【0189】いずれの部位もトランジスタにより構成されており、それぞれのトランジスタに要求される特性は異なっている。例えばしきい値を比較すると、メモリセルアレイ部のトランジスタは1V程度、周辺回路部のトランジスタは0.8V程度で、センスアンプ部のトランジスタは0.4Vにまで抑える必要が生じる。

【0190】図7においては、センスアンプ部、周辺回路部、メモリセルアレイ部に用いられるNチャネル型MOSトランジスタT41～T43の断面をそれぞれ示している。

【0191】図7において、Nチャネル型MOSトランジスタT41～T43は同一の半導体基板1（P型）上に形成されたP型のウエル層101内に形成されている。ウエル層101はウエル層101内に形成されたチャンネルカット層102と、LOCOS層2とで素子間分離され、Nチャネル型MOSトランジスタT41～T43は、それぞれ素子間分離された領域に形成されている。

【0192】センスアンプ部のNチャネル型MOSトランジスタT41は、ウエル層101内に独立して平行に形成された1対のソース・ドレイン層106と、当該ソース・ドレイン層106の向かい合う端縁部に接して形成された1対の低ドープドレイン層（以後、LDD層と呼称）107とを備えている。

【0193】そして、LDD層107の上部にはゲート

酸化膜3が形成され、当該ゲート酸化膜3の上部にはゲート電極4Aが形成されている。また、ゲート酸化膜3およびゲート電極4Aの側面にはサイドウォール酸化膜5が形成されている。また、ゲート電極4Aの下層のウエル層101内には、チャンネルドープ層103Aが形成されている。

【0194】周辺回路部のNチャネル型MOSトランジスタT42は、ウエル層101内に独立して平行に形成された1対のソース・ドレイン層106と、当該ソース・ドレイン層106の向かい合う端縁部に接して形成された1対のLDD層107とを備えている。

【0195】そして、LDD層107の上部にはゲート酸化膜3が形成され、当該ゲート酸化膜3の上部にはゲート電極4Bが形成されている。また、ゲート酸化膜3およびゲート電極4Bの側面にはサイドウォール酸化膜5が形成されている。また、ゲート電極4Bの下層のウエル層101内には、チャンネルドープ層103Bが形成されている。

【0196】メモリセルアレイ部のNチャネル型MOSトランジスタT43は、ウエル層101内に独立して平行に形成された1対のソース・ドレイン層106と、当該ソース・ドレイン層106の向かい合う端縁部に接して形成された1対のLDD層107とを備えている。

【0197】そして、ソース・ドレイン層106およびLDD層107の上部にはゲート酸化膜3が形成され、当該ゲート酸化膜3の上部にはゲート電極4Cが形成されている。また、ゲート酸化膜3およびゲート電極4Cの側面にはサイドウォール酸化膜5が形成されている。また、ゲート電極4Cの下層のウエル層101内には、チャンネルドープ層103Cが形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層106を共有する構造となっており、その構造が連続して配設された構成となっている。

【0198】なお、表5にNチャネル型MOSトランジスタT41～T43の構成諸元を示す。

【0199】

【表5】

	センスアンプ部 (T41)	周辺回路部 (T42)	メモリセルアレイ部 (T43)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	100 Å	100 Å	100 Å
ゲート電極膜厚	2000 Å	2000 Å	2000 Å
サイドウォール	1000 Å	1000 Å	1000 Å
ウエル	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$
チャンネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャンネルドーブ	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$
LDD	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$
ソース/ドレイン	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$
ゲート注入	As 30keV $5 \times 10^{15} / \text{cm}^2$	As 30keV $3 \times 10^{15} / \text{cm}^2$	As 30keV $1 \times 10^{15} / \text{cm}^2$
熱処理	850℃ 60min		

【0200】表5において、Nチャネル型MOSトランジスタT41～T43のそれぞれのゲート電極形成時の不純物ドーズ量は、 $5 \times 10^{15} / \text{cm}^2$ 、 $3 \times 10^{15} / \text{cm}^2$ 、 $1 \times 10^{15} / \text{cm}^2$ となっている。なお、注入不純物は何れもヒ素 (As) であり、注入エネルギーは何れも30keVである。

【0201】また、図7で示したセンスアンプ部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT41～T43における、A-A'線、B-B'線、およびC-C'線による断面部分の不純物プロファイルを図8に示す。

【0202】図8において、横軸に断面方向の位置 (深さ) を、縦軸に不純物濃度を示す。なお、横軸は図に向かって左側から順に、ゲート電極 (ポリシリコン層)、ゲート酸化膜 (SiO₂層)、ウエル層 (バルクシリコン層) となっている。

【0203】表5に示すように、Nチャネル型MOSトランジスタT41～T43のゲート電極4A～4Cにおいては、不純物ドーズ量がそれぞれ異なっているので、不純物濃度もそれぞれ異なり、しきい値が高い事を期待される順に、ゲート電極中の不純物濃度は低く構成されている。すなわち、A-A'線で示すようにセンスアンプ部のトランジスタT41が最も高く、周辺回路部のトランジスタT42 (B-B'線)、メモリセルアレイ部のトランジスタT43 (C-C'線) の順に濃度が低くなっている。なお、Nチャネル型MOSトランジスタT41～T43のチャンネルドーブ層103A～103Cの不純物ドーズ量は同一なので、A-A'線、B-B'線、およびC-C'線は重なり合っている。

【0204】このため、メモリセルアレイ部では、ゲート電極において空乏層が最も広くなり、酸化膜の実効的な厚さが最も厚くなり、しきい値が高くなる。

【0205】図9に各ゲート酸化膜の実際の厚みと、実効的な厚みを示す。図9において、横軸左側から順にセンスアンプ部、周辺回路部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを示している。図9から明らかなように、各ゲート酸化膜の実効的な厚

みは、センスアンプ部、周辺回路部、メモリセルアレイ部の順に厚くなっている。

【0206】<1-2. 製造方法>以下に、図7に示したDRAM100を構成するセンスアンプ部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT41～T43の製造方法について、図10～図15を用いて説明する。

【0207】まず、図10に示す工程において、P型の半導体基板1の表面にロコス法によりLOCOS層 (フィールド酸化膜) 2を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロンイオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで、半導体基板1内にP型のウエル領域101を形成する。なお、半導体基板1内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロンイオンを、130keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで、半導体基板1内にチャンネルカット層102を形成する。なお、チャンネルカット層102は、LOCOS層2とで素子間分離領域を形成するような形状に形成する。

【0208】次に、ウエル領域101内の所定位置に、後にチャンネルドーブ層103A～103Cとなるチャンネルドーブ層100を形成する。このとき、周辺回路部およびメモリセルアレイ部のトランジスタT2およびT3の形成領域にもチャンネルドーブ層100が形成される。なお、チャンネルドーブ層100の形成は、例えばボロンイオンを、50keVのエネルギーで、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0209】次に、図11に示す工程において、半導体基板1の主面上にゲート酸化膜3となる酸化膜31を熱酸化法により形成した後、その上にゲート電極材料として、(ノンドーブ) ポリシリコン層42をCVD法にて形成する。なお、酸化膜31の厚みは100オングストローム程度、ポリシリコン層42の厚みは2000オングストローム程度である。

【0210】次に、図12に示す工程において、不純物濃度が最も低い、メモリセルアレイ部のNチャネル型MOSトランジスタT43のゲート電極に合わせて、ポリシリコン層42に不純物イオンを注入し、ドーフトポリシリコン層42Cを形成する。このとき、周辺回路部およびメモリセルアレイ部にもドーフトポリシリコン層42Cが形成される。なお、ドーフトポリシリコン層42Cの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $1 \times 10^{15} / \text{cm}^2$ のドーズ量を注入することで行う。

【0211】次に、図13に示す工程において、メモリセルアレイ部の上部にレジストマスクR204を形成し、センスアンプ部および周辺回路部のドーフトポリシリコン層42Cに選択的に不純物を追加注入し、周辺回路部のNチャネル型MOSトランジスタT42に合わせた不純物濃度のドーフトポリシリコン層42Bを形成する。なお、ドーフトポリシリコン層42Bの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $2 \times 10^{15} / \text{cm}^2$ のドーズ量を注入することで行う。

【0212】次に、レジストマスクR204を除去した後、図14に示す工程において、メモリセルアレイ部および周辺回路部の上部にレジストマスクR205を形成し、センスアンプ部のドーフトポリシリコン層42Bに選択的に不純物を追加注入し、センスアンプ部のNチャネル型MOSトランジスタT41に合わせた不純物濃度のドーフトポリシリコン層42Aを形成する。なお、ドーフトポリシリコン層42Aの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $2 \times 10^{15} / \text{cm}^2$ のドーズ量を注入することで行う。

【0213】次に、図15に示す工程において、ドーフトポリシリコン層42A~42Cの上部にレジストマスクR203を形成し、パターンニングによりゲート電極4A~4Cおよびゲート酸化膜3を形成する。

【0214】次に、センスアンプ部、周辺回路部、メモリセルアレイ部にイオン注入によりLDD層107を形成した後、ゲート酸化膜3およびゲート電極4A~4Cの側面に、約1000オングストロームの厚さのサイドウォール酸化膜5を形成する。そして、サイドウォール酸化膜5をマスクとして、イオン注入によりソース・ドレイン層106を形成することで、図7に示すDRAM100の構成が得られる。

【0215】ここで、LDD層107は、例えば砒素(As)イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層106は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量を注入した後、850℃で60分間アニールすることで形成する。

【0216】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりDR

AMが形成されるが、それらの工程の説明および図示は省略する。

【0217】<1-3. 特徴的作用効果>以上説明したように本発明に係る実施の形態1のDRAM100は、特性の異なる複数種類のトランジスタ(例えば、要求スベックの異なる)に対して、ゲート電極の不純物濃度をそれぞれ変えることでゲート酸化膜の実効的な厚みを変えてしきい値を設定する構成となっている。従って、チャネルドーフト層の不純物濃度をトランジスタの特性に合わせて変える必要がなく、拡散層からの漏れ電流(拡散層リーク)を最小限に抑制できる濃度に固定することができる。

【0218】従って、チャネルドーフト層の不純物濃度は拡散層リークを最小にするように設定し、しきい値はゲート電極の不純物濃度により設定することで、しきい値と拡散層リークとのトレードオフ関係を打開(ブレイクスルー)することができ、回路設計の制約を解消することができる。

【0219】また、ゲート電極の不純物濃度をそれぞれ変えることは、半導体基板内に形成されたチャネルドーフト層の不純物濃度を変える場合に比べて、他の構成に及ぼす影響が少なく済む。すなわち、半導体基板内にイオンを注入する場合、特に高ドーズの注入を行う場合には、半導体基板の結晶性を劣化させる要因となる。しかし、本発明では最外層に位置するゲート電極にイオンを注入するので、上記のような問題は発生しない。不純物がゲート酸化膜に到達しないように注入飛程を設定すれば良い。

【0220】なお、以上の説明においては、チャネルドーフト層103A~103Cの不純物濃度は同一としたが、必ずしも同一である必要はない。例えば、ゲート電極の不純物濃度をそれぞれ変えるだけでは、しきい値を十分に調整できない場合には、チャネルドーフト層103A~103Cの不純物濃度を変更することで、しきい値を調整しても良い。この場合、補助的に利用するだけなので不純物濃度増加は少なく、拡散層リークが大幅に増えることも、イオン注入により半導体基板の結晶性が劣化することもない。

【0221】<1-4. 変形例>図10~図15を用いて説明した実施の形態1のDRAM100の製造方法においては、ドーフトポリシリコン層41A~41Cを形成した後に、図15に示す工程において、パターンニングによりゲート電極4A~4Cおよびゲート酸化膜3を形成する例を示したが、パターンニングによりゲート電極を成形した後に不純物注入を行っても良い。

【0222】すなわち、図15に示す工程においてポリシリコン層42を形成した後に、ポリシリコン層42上に所定のレジストマスクを形成し、パターンニングを行ってゲート電極およびゲート酸化膜を成形する。その後、メモリセルアレイ部のNチャネル型MOSトランジ

スタT43のゲート電極に合わせて、ポリシリコン層42に不純物イオンを注入する。その後、メモリセルアレイ部、周辺回路部のゲート電極上に順次レジストマスクを形成し、不純物を追加注入することでゲート電極4A～4Cを形成する。

【0223】このような工程にすることで、ゲート電極の成形に際してのエッチングにおいて、ゲート電極中に不純物が導入されていないのでエッチングが容易となる。すなわち、エッチングレートはポリシリコンに含まれる不純物濃度によって変化する。特に、イオン注入を行った場合、ゲート電極の深さ方向に不純物分布ができ、場所によってエッチングレートが変化することになる。この場合、エッチング速度を調整しないと、エッチングレートの差異により、エッチング面に凸凹が生じるなどの問題が発生するが、本工程ではノンドープのポリシリコンをエッチングするので、そのような問題は発生しない。

【0224】また、ポリシリコン層への不純物注入の条件（エネルギー、ドーズ量）と、LDD層を形成するための不純物注入の条件とを合わせることができるとは、メモリセルアレイ部のNチャネル型MOSトランジスタのゲート電極を形成すると同時にLDD層も形成することができ、製造工程を短縮することができる。

【0225】なお、以上説明した本発明に係る実施の形態1では、単結晶基板上に各種トランジスタを形成する構成について示したが、SOI（silicon on insulator）基板上に各種トランジスタを形成する場合であっても、同様の作用効果を得ることができる。

【0226】＜実施の形態2＞

＜2-1. 装置構成＞図16に本発明に係る実施の形態2として、複数種類のトランジスタを作り込んだフラッシュメモリ200の部分構成を示す。一般的に、DRAMに比べてフラッシュメモリの異なる点は、例えば10Vといった高い電圧を書込動作や消去動作で用いることである。このため、フラッシュメモリは、データを蓄積するメモリセルアレイ部だけでなく、XデコーダーやYデコーダーなど昇圧後に使われる高耐圧部、周辺回路部（例えば、アドレスバッファ、ロウ／カラムクロック部、I/Oパス部、データレジスタ部センスアンプ部、動作制御部）なども備えている。いずれの部位もトランジスタにより構成されているが、使用電圧の差異により、複数種類の特性の異なるトランジスタが必要となる。

【0227】図16においては、高耐圧部、周辺回路部、メモリセルアレイ部に用いられるNチャネル型MOSトランジスタT51～T53の断面をそれぞれ示している。

【0228】図16において、Nチャネル型MOSトランジスタT51～T53は同一の半導体基板21（P型）上に形成されたP型のウエル層121内に形成され

ている。ウエル層121は、ウエル層121内に形成されたチャネルカット層122と、LOCOS層22とで素子間分離され、Nチャネル型MOSトランジスタT51～T53は、それぞれ素子間分離された領域に形成されている。

【0229】高耐圧部のNチャネル型MOSトランジスタT51は、ウエル層121内に独立して平行に形成された1対のソース・ドレイン層126と、当該ソース・ドレイン層126の向かい合う端縁部に接して形成された1対のLDD層127とを備えている。

【0230】そして、LDD層127の上部にはゲート酸化膜25Aが形成され、当該ゲート酸化膜25Aの上部にはゲート電極29Aが形成されている。また、ゲート酸化膜25Aおよびゲート電極29Aの側面にはサイドウォール酸化膜30が形成されている。また、ゲート電極29Aの下層のウエル層121内には、チャネルドープ層123が形成されている。

【0231】周辺回路部のNチャネル型MOSトランジスタT52は、ウエル層121内に独立して平行に形成された1対のソース・ドレイン層126と、当該ソース・ドレイン層126の向かい合う端縁部に接して形成された1対のLDD層127とを備えている。

【0232】そして、LDD層127の上部にはゲート酸化膜25Aが形成され、当該ゲート酸化膜25Aの上部にはゲート電極29Bが形成されている。また、ゲート酸化膜25Aおよびゲート電極29Bの側面にはサイドウォール酸化膜30が形成されている。また、ゲート電極29Bの下層のウエル層121内には、チャネルドープ層124が形成されている。

【0233】メモリセルアレイ部のNチャネル型MOSトランジスタT53は、ウエル層121内に独立して平行に形成された1対のソース・ドレイン層126を備え、ソース・ドレイン層126の端縁部上部にはトンネル酸化膜23が形成され、当該トンネル酸化膜23の上部にはフローティングゲート電極27、層間絶縁膜（ONO膜）24、コントロールゲート電極29Cが順次形成されている。

【0234】また、トンネル酸化膜23、フローティングゲート電極27、層間絶縁膜24、コントロールゲート電極29Cの側面にはサイドウォール酸化膜30が形成されている。

【0235】また、フローティングゲート電極27の下層のウエル層121内には、チャネルドープ層125が形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層126を共有する構造となっており、その構造が連続して配設された構成となっている。

【0236】表6にNチャネル型MOSトランジスタT51～T53の構成諸元を示す。

【0237】

【表6】

	高耐圧部 (T51)	周辺回路部 (T52)	メモリセルアレイ部 (T53)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	80 Å	80 Å	100 Å
フローティングゲート電極膜厚	-----	-----	1000 Å
フローティングゲート不純物濃度	-----	-----	$1 \times 10^{20} / \text{cm}^3$
層間絶縁膜厚	-----	-----	TEOS/Si ₃ N ₄ /TEOS=100/100/100 Å
コントロールゲート電極膜厚	2000 Å	2000 Å	2000 Å
サイドウォール	2000 Å	2000 Å	2000 Å
ウエル	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$	B 700keV $1 \times 10^{13} / \text{cm}^2$
チャネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャネルドープ	B 50keV $5 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$
LED	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$	-----
ソース/ドレイン	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$
ゲート注入	As 30keV $5 \times 10^{14} / \text{cm}^2$	As 30keV $5 \times 10^{15} / \text{cm}^2$	As 30keV $1 \times 10^{15} / \text{cm}^2$
熱処理	850℃ 60min		

【0238】表6に示すように、フラッシュメモリ200において特徴的なのは、高耐圧部のNチャネル型MOSトランジスタT51のゲート電極29Aの不純物濃度が最も低く、メモリセルアレイ部のNチャネル型MOSトランジスタT53のコントロールゲート電極29C、周辺回路部のNチャネル型MOSトランジスタT52のゲート電極29Bの順に不純物濃度が高くなっている点である。

【0239】図16で示した高耐圧部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT51～T53における、A-A'線、B-B'線、およびC-C'線による断面部分の不純物プロファイルを図17に示す。

【0240】図17において、横軸に断面方向の位置（深さ）を、縦軸に不純物濃度を示す。なお、メモリセルアレイ部のNチャネル型MOSトランジスタT53の構成順序を図面上部に、他のMOSトランジスタの構成順序を図面横軸に示す。

【0241】図面上部において、図に向かって左側から順に、コントロールゲート電極（ポリシリコン層）、層間絶縁膜（ONO膜）、フローティングゲート電極（ポリシリコン層）、トンネル酸化膜（SiO₂層）、ウエル層（バルクシリコン層）となっている。

【0242】また、図面横軸において、図に向かって左側から順に、ゲート電極（ポリシリコン層）、ゲート酸化膜（SiO₂層）、ウエル層（バルクシリコン層）となっている。

【0243】図17において、B-B'線で示すように、周辺回路部においてゲート電極中の不純物濃度が最も高く、A-A'線で示す高耐圧部のゲート電極中の不純物濃度が最も低くなっている。

【0244】このため、高耐圧部では、コントロールゲ

ート電極において空乏層が最も広くなり、酸化膜の実効的な厚さが最も厚くなり、高い電圧にも耐えることができる。

【0245】図18に各ゲート酸化膜の実際の厚みと、実効的な厚みを示す。図18において、横軸左側から順に高耐圧部、周辺回路部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを示している。なおメモリセルアレイ部においてはトンネル酸化膜をゲート酸化膜として取り扱う。図18から明らかなように、各ゲート酸化膜の実効的な厚みは、高耐圧部において特に厚くなっている。

【0246】また、図17に示すように、高耐圧部（A-A'線）、周辺回路部（B-B'線）、メモリセルアレイ部（C-C'線）の何れのトランジスタにおいても、チャネルドープ層の不純物プロファイルは同じである。

【0247】なお、メモリセルアレイ部のNチャネル型MOSトランジスタT53のフローティングゲート電極はCVD法で形成するため、不純物プロファイルは一定である。

【0248】＜2-2. 製造方法＞以下に、図16で示した高耐圧部、周辺回路部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT51～T53の製造方法について、図19～図32を用いて説明する。

【0249】まず、図19に示す工程において、P型の半導体基板21の表面にロコス法によりLOCOS層（フィールド酸化膜）22を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロニオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで、半導体基板21内にP型のウエル領域21を形成する。なお、半導体基板21内にはPチャネル型MOSトランジスタを形成するた

めにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロンイオンを、 130 keV のエネルギーで、 $5 \times 10^{12}/\text{cm}^2$ のドーズ量を注入することで、半導体基板21内にチャネルカット層122を形成する。なお、チャネルカット層122は、L O C O S層2とで素子間分離領域を形成するような形状に形成する。

【0250】次に、ウエル領域121内の高耐圧部、周辺回路部、メモリセルアレイ部のそれぞれの所定位置に、チャネルドープ層120を形成する。なお、チャネルドープ層120の形成は、例えばボロンイオンを、 50 keV のエネルギーで、 $5 \times 10^{12}/\text{cm}^2$ のドーズ量を注入することで行う。

【0251】次に、図20に示す工程において、半導体基板21の主面上にトンネル酸化膜23となる酸化膜231を熱酸化法により形成した後、その上にゲート電極材料として、例えばドーフトポリシリコン層271をCVD法にて形成する。なお、酸化膜231の厚みは100オングストローム程度、ドーフトポリシリコン層271の厚みは1000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $1 \times 10^{20}/\text{cm}^3$ 程度である。

【0252】次に、図21に示す工程において、メモリセルアレイ部におけるドーフトポリシリコン層271の上部に選択的にレジストマスクR221を形成する。この場合、レジストマスクR221はメモリセルアレイ部のゲート幅方向に沿って形成される。そして、レジストマスクR221で覆われていない部分のドーフトポリシリコン層271を異方性エッチングにより除去する。この状態を図22に示す。

【0253】図22は、図21を上側側面(レジストマスクR221を形成する側)から見た平面図であり、レジストマスクR221はメモリセルアレイ部において、規則的に配列された矩形の島状をなすように形成されている。なお、レジストマスクR221は、矩形の島状をなす活性層AL上と、その周囲のL O C O S層LL上を覆うように形成されている。また、高耐圧部および周辺回路部においてはレジストマスクが形成されていないので、活性層ALが露出している。

【0254】次に、レジストマスクR221を除去した後、図23に示す工程において、ドーフトポリシリコン層271上、フローティングゲートとコントロールゲートとを絶縁する層間絶縁膜24となる絶縁膜241をCVD法にて形成する。層間絶縁膜24はONO膜と称される場合もある。絶縁膜241は高耐圧部および周辺回路部上にも形成される。なお、この膜はT E O S (tetraethyl orthosilicate) 膜、窒化膜(Si_3N_4)、T E O S膜を順に積層した構成となっており、それぞれの膜厚は100オングストロームである。

【0255】次に、図24に示す工程において、メモリ

セルアレイ部の絶縁膜241上をレジストマスクR222で覆い、その他の領域の絶縁膜241を全て除去する。この場合、その他の領域においては酸化膜231も除去する。この状態を図25に示す。

【0256】図25は、図24を上側側面(レジストマスクR222を形成する側)から見た平面図であり、レジストマスクR222はメモリセルアレイ部全域を覆うように形成されているが、高耐圧部および周辺回路部においてはレジストマスクR222が形成されていないので、活性層ALが露出している。

【0257】次に、レジストマスクR222を除去した後、図26に示す工程において、半導体基板21の主面全面にゲート酸化膜25Aとなる酸化膜251Aを熱酸化法により形成する。このときメモリセルアレイ部上の絶縁膜241は、窒化膜を含んでいるため酸化されることはなく、その厚さは保たれる。なお、酸化膜251Aの厚みは80オングストローム程度である。

【0258】次に、図27に示す工程において、半導体基板21の主面全面に、ゲート電極材料として、(ノンドーブ)ポリシリコン層280をCVD法にて形成する。なお、ポリシリコン層280の厚みは2000オングストローム程度である。

【0259】次に、図28に示す工程において、不純物濃度が最も低い、高耐圧部のNチャネル型M O SトランジスタT51のゲート電極に合わせて、ポリシリコン層280に不純物イオンを注入し、ドーフトポリシリコン層280Aを形成する。このとき、周辺回路部およびメモリセルアレイ部にもドーフトポリシリコン層280Aが形成される。なお、ドーフトポリシリコン層280Aの形成は、例えばヒ素イオンを、 30 keV のエネルギーで、 $5 \times 10^{14}/\text{cm}^2$ のドーズ量を注入することで行う。

【0260】次に、図29に示す工程において、高耐圧部の上部にレジストマスクR225を形成し、周辺回路部およびメモリセルアレイ部のドーフトポリシリコン層280Aに選択的に不純物を追加注入し、メモリセルアレイ部のNチャネル型M O SトランジスタT53に合わせた不純物濃度のドーフトポリシリコン層280Cを形成する。なお、ドーフトポリシリコン層280Cの形成は、例えばヒ素イオンを、 30 keV のエネルギーで、 $5 \times 10^{14}/\text{cm}^2$ のドーズ量を注入することで行う。

【0261】次に、レジストマスクR225を除去した後、図30に示す工程において、メモリセルアレイ部および高耐圧部の上部にレジストマスクR226を形成し、周辺回路部のドーフトポリシリコン層280Cに選択的に不純物を追加注入し、周辺回路部のNチャネル型M O SトランジスタT52に合わせた不純物濃度のドーフトポリシリコン層280Bを形成する。なお、ドーフトポリシリコン層280Bの形成は、例えばヒ素イオンを、 30 keV のエネルギーで、 $4 \times 10^{15}/\text{cm}^2$ の

ドーズ量を注入することで行う。

【0262】次に、レジストマスクR226を除去した後、図31に示す工程において、ドーフトポリシリコン層280A~280Cの上部にレジストマスクR227を形成してパターンニングを行う。この状態を図32に示す。

【0263】図32は、図31を上側側面（レジストマスクR227を形成する側）から見た平面図であり、レジストマスクR227は、矩形形状の活性領域ALに垂直になるように形成されている。

【0264】このパターンニングにより、高耐圧部においては、ゲート酸化膜25Aおよびゲート電極29Aを、周辺回路部においては、ゲート酸化膜25Aおよびゲート電極29Bを、メモリセルアレイ部においては、トンネル酸化膜23、フローティングゲート電極27、層間絶縁膜24、コントロールゲート電極29Cを形成する。

【0265】次に、高耐圧部、周辺回路部にイオン注入によりLDD層127を形成した後、ゲート酸化膜25Aおよびゲート電極29Aの側面、ゲート酸化膜25Aおよびゲート電極29Bの側面、トンネル酸化膜23、フローティングゲート電極27、層間絶縁膜24、コントロールゲート電極29Cの側面に、約1000オングストロームの厚さのサイドウォール酸化膜30を形成する。そして、サイドウォール酸化膜30をマスクとして、イオン注入によりソース・ドレイン層126を形成することで、図16に示すフラッシュメモリの構成が得られる。

【0266】ここで、LDD層127は、例えば砒素イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層126は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量を注入した後、850℃で60分間アニールすることで形成する。

【0267】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりフラッシュメモリが形成されるが、それらの工程の説明および図示は省略する。

【0268】＜2-3. 特徴的作用効果＞以上説明したように本発明に係る実施の形態2のフラッシュメモリ200は、特性の異なる複数種類のトランジスタ（例えば、要求スペックの異なる）に対して、ゲート電極の不純物濃度をそれぞれ変えることでゲート酸化膜の実効的な厚みを変える構成となっている。従って、耐電圧の異なるトランジスタのゲート酸化膜の厚さを、それぞれ異なった厚さに形成する必要がなくなる。

【0269】また、ゲート酸化膜の実効的な厚みを変えることで、しきい値を設定することができるので、チャネルドーブ層の不純物濃度をトランジスタの特性に合わ

せて変える必要がなく、拡散層からの漏れ電流（拡散層リーク）を最小限に抑制できる濃度に固定することができる。

【0270】従って、チャネルドーブ層の不純物濃度は拡散層リークを最小にするように設定し、耐電圧特性やしきい値はゲート電極の不純物濃度により調整することで、耐電圧についての要求を満足するとともに、しきい値と拡散層リークとのトレードオフ関係を打開（ブレークスルー）することができ、回路設計の制約を解消することができる。

【0271】また、厚さの異なるゲート酸化膜を形成する場合でも、ゲート酸化膜の実効的な厚みを変えることで、ゲート酸化膜の種類を削減することができる。従って、ゲート酸化膜の製造工程を簡略化できるとともに、信頼性に優れ、膜厚の制御性が良好なゲート酸化膜を得ることができる。

【0272】すなわち、図16に示す構成においては、高耐圧部および周辺回路部のトランジスタにおけるゲート酸化膜の厚みは同じであるので、ゲート酸化膜の種類は2種類となる。そして、酸化膜を形成する工程は、酸化膜231を形成する工程（図23）と、酸化膜251Aを形成する工程（図26）だけであり、いずれの工程も1回の熱酸化工程で形成しているため、図78~図91を用いて説明した従来の製造方法のように、1つの酸化膜の形成を複数回に分けて行う必要はなく、不純物混入や膜厚の制御性の低下を心配する必要はない。

【0273】なお、以上説明した本発明に係る実施の形態2では、単結晶基板上に各種トランジスタを形成する構成について示したが、SOI（silicon on insulator）基板上に各種トランジスタを形成する場合であっても、同様の作用効果を得ることができる。

【0274】＜実施の形態3＞

＜3-1. 装置構成＞図33に本発明に係る実施の形態3として、ロジック回路を有したDRAM（以後、LOGIC in DRAMと呼称）300の部分構成を示す。

【0275】LOGIC in DRAMは、ロジック回路を同一チップ内に作りこむことにより、独立した別チップとして作られたDRAMとロジック回路とを組み合わせ使用するより、高性能かつ低コストを実現できる装置である。

【0276】一般的に、LOGIC in DRAMはロジック部とDRAM部とに大別される。ここで、ロジック部では、高速であること、すなわち、高駆動能力と低容量であることが求められている。また、DRAM部には先に実施の形態1で説明したように、低リーク電流が求められるメモリセルアレイ部や、低電圧での動作が要求されるセンスアンプ部などが含まれている。つまり、1チップのLOGIC in DRAMにおいては、特性の異なる数種類のトランジスタが必要となる。

【0277】図33においては、ロジック部、センスアンプ部、メモリセルアレイ部に用いられるNチャネル型MOSトランジスタT61～T63の断面をそれぞれ示している。

【0278】図33において、Nチャネル型MOSトランジスタT61～T63は同一の半導体基板51（P型）上に形成されたP型のウエル層151内に形成されている。ウエル層151はウエル層151内に形成されたチャンネルカット層152と、LOCOS層52とで素子間分離され、Nチャネル型MOSトランジスタT61～T63は、それぞれ素子間分離された領域に形成されている。

【0279】ロジック部のNチャネル型MOSトランジスタT61は、ウエル層151内に独立して平行に形成された1対のソース・ドレイン層156と、当該ソース・ドレイン層156の向かい合う端縁部に接して形成された1対のLDD層157とを備えている。

【0280】そして、LDD層157の上部にはゲート酸化膜53形成され、当該ゲート酸化膜53の上部にはゲート電極55Aが形成されている。また、ゲート酸化膜53およびゲート電極55Aの側面にはサイドウォール酸化膜56が形成されている。また、ゲート電極55Aの下層のウエル層151内には、チャンネルドープ層155Aが形成されている。

【0281】センスアンプ部のNチャネル型MOSトランジスタT62は、ウエル層151内に独立して平行に形成された1対のソース・ドレイン層156と、当該ソース・ドレイン層156の向かい合う端縁部に接して形*

*成された1対のLDD層157とを備えている。

【0282】そして、LDD層157の上部にはゲート酸化膜53が形成され、当該ゲート酸化膜53の上部にはゲート電極55Aが形成されている。また、ゲート酸化膜53およびゲート電極55Aの側面にはサイドウォール酸化膜56が形成されている。また、ゲート電極55Aの下層のウエル層151内には、チャンネルドープ層154が形成されている。

【0283】メモリセルアレイ部のNチャネル型MOSトランジスタT63は、ウエル層151内に独立して平行に形成された1対のソース・ドレイン層156と、当該ソース・ドレイン層156の向かい合う端縁部に接して形成された1対のLDD層157とを備えている。

【0284】そして、ソース・ドレイン層156およびLDD層157の上部にはゲート酸化膜53が形成され、当該ゲート酸化膜53の上部にはゲート電極55Bが形成されている。また、ゲート酸化膜53およびゲート電極55Bの側面にはサイドウォール酸化膜56が形成されている。また、ゲート電極55Bの下層のウエル層151内には、チャンネルドープ層155Aが形成されている。なお、メモリセルアレイ部はゲートアレイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層156を共有する構造となっており、その構造が連続して配設された構成となっている。

【0285】なお、表7にNチャネル型MOSトランジスタT61～T63の構成諸元を示す。

【0286】

【表7】

	ロジック部 (T61)	センスアンプ部 (T62)	メモリセルアレイ部 (T63)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
ゲート酸化膜厚	60 Å	60 Å	60 Å
ゲート電極膜厚	2000 Å	2000 Å	2000 Å
サイドウォール	1000 Å	1000 Å	1000 Å
ウエル	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$
チャンネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャンネルドープ	B 50keV $5 \times 10^{12} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $5 \times 10^{12} / \text{cm}^2$
LDD	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$	As 30keV $1 \times 10^{13} / \text{cm}^2$
ソース/ドレイン	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$	As 50keV $5 \times 10^{15} / \text{cm}^2$
ゲート注入	As 30keV $5 \times 10^{15} / \text{cm}^2$	As 30keV $5 \times 10^{15} / \text{cm}^2$	As 30keV $1 \times 10^{15} / \text{cm}^2$
熱処理	850℃ 60min		

【0287】表7において、Nチャネル型MOSトランジスタT61～T63のそれぞれのチャンネルドープ層形成時の不純物ドーザ量は、 $5 \times 10^{12} / \text{cm}^2$ 、 $1 \times 10^{12} / \text{cm}^2$ 、 $5 \times 10^{12} / \text{cm}^2$ となっている。なお、注入不純物は何れもボロン（B）であり、注入エネルギーは何れも50keVである。

【0288】また、Nチャネル型MOSトランジスタT61～T63のそれぞれのゲート酸化膜の厚みは、何れも60オングストロームとなっている。

【0289】また、Nチャネル型MOSトランジスタT61～T63のそれぞれのゲート電極形成時の不純物ドーザ量は、 $5 \times 10^{15} / \text{cm}^2$ 、 $5 \times 10^{15} / \text{cm}^2$ 、 $1 \times 10^{15} / \text{cm}^2$ となっている。なお、注入不純物は何れもヒ素（As）であり、注入エネルギーは何れも30keVである。

【0290】図33で示したロジック部、センスアンプ部、メモリセルアレイ部のNチャネル型MOSトランジスタT61～T63における、A-A'線、B-B'

線、およびC-C'線による断面部分の不純物プロファイルを図34に示す。

【0291】図34において、横軸に断面方向の位置(深さ)を、縦軸に不純物濃度を示す。なお、横軸は図に向かって左側から順に、ゲート電極(ポリシリコン層)、ゲート酸化膜(SiO₂層)、ウエル層(バルクシリコン層)となっている。

【0292】ゲート電極における不純物濃度は表7に示すように、トランジスタT61およびT62において同一となるように形成されているので、A-A'線、B-B'は重なり合い、ウエル層内のチャネルドープ層の不純物濃度は、トランジスタT61およびT63において同一となるように形成されているので、A-A'線、C-C'は重なり合っている。なお、しきい値の要求が低いセンスアンプ部のトランジスタでは、チャネルドーズ量が少なく、酸化膜-バルク界面での不純物濃度も低い。

【0293】また、図35に各ゲート酸化膜の実際の厚みと、実効的な厚みを示す。図35において、横軸左側から順にロジック部、センスアンプ部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを表示している。図35に示されるように、何れのトランジスタにおいても実際の厚みは同じであるが、図35から明らかなように、各ゲート酸化膜の実効的な厚みは、メモリセルアレイ部において特に厚くなっている。

【0294】<3-2. 製造方法>以下に、図33で示したロジック部、DRAM部のセンスアンプ部およびメモリセルアレイ部のNチャネル型MOSトランジスタT61~T63の製造方法について、図36~図41を用いて説明する。

【0295】まず、図36に示す工程において、P型の半導体基板51の表面にロコス法によりLOCOS層(フィールド酸化膜)52を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロンイオンを、700keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで、半導体基板51内にP型のウエル領域151を形成する。なお、半導体基板51内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロンイオンを、130keVのエネルギーで、 $5 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで、半導体基板1内にチャネルカット層152を形成する。なお、チャネルカット層152は、LOCOS層2とで素子間分離領域を形成するような形状に形成する。

【0296】次に、ウエル領域151内の所定位置に、センスアンプ部のトランジスタT62に合わせた最も不純物濃度の低いチャネルドープ層150を形成する。このとき、ロジック部およびメモリセルアレイ部のトランジスタT61およびT63の形成領域にもチャネルドープ

層150が形成される。なお、チャネルドープ層150の形成は、例えばボロンイオンを、50keVのエネルギーで、 $1 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0297】次に、図37に示す工程において、センスアンプ部の上部にレジストマスクR251を形成し、ロジック部およびメモリセルアレイ部のチャネルドープ層150に選択的に不純物を追加注入し、ロジック部およびメモリセルアレイ部のトランジスタT61およびT63に合わせた不純物濃度のチャネルドープ層150Aを形成する。なお、チャネルドープ層150Aの形成は、例えばボロンイオンを、50keVのエネルギーで、 $4 \times 10^{12} / \text{cm}^2$ のドーズ量を注入することで行う。

【0298】次に、図38に示す工程において、半導体基板51の主面上にゲート酸化膜53となる酸化膜531を熱酸化法により形成した後、その上にゲート電極材料として、(ノンドープ)ポリシリコン層550をCVD法にて形成する。なお、酸化膜531の厚みは60オングストローム程度、ポリシリコン層550の厚みは2000オングストローム程度である。

【0299】次に、図39に示す工程において、不純物濃度が最も低い、メモリセルアレイ部のNチャネル型MOSトランジスタT63のゲート電極に合わせて、ポリシリコン層550に不純物イオンを注入し、ドープトポリシリコン層550Bを形成する。このとき、ロジック部およびセンスアンプ部にもドープトポリシリコン層550Bが形成される。なお、ドープトポリシリコン層550Bの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $1 \times 10^{15} / \text{cm}^2$ のドーズ量を注入することで行う。

【0300】次に、図40に示す工程において、メモリセルアレイ部の上部にレジストマスクR255を形成し、ロジック部およびセンスアンプ部のドープトポリシリコン層550Bに選択的に不純物を追加注入し、ロジック部およびセンスアンプ部のNチャネル型MOSトランジスタT61およびT62に合わせた不純物濃度のドープトポリシリコン層550Aを形成する。なお、ドープトポリシリコン層550Aの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $4 \times 10^{15} / \text{cm}^2$ のドーズ量を注入することで行う。

【0301】次に、図41に示す工程において、ドープトポリシリコン層550Aおよび550Bの上部にレジストマスクR256を形成し、パターンニングによりゲート電極55A、55Bおよびゲート酸化膜53を形成する。

【0302】次に、ロジック部、センスアンプ部、メモリセルアレイ部にイオン注入によりLDD層157を形成した後、ゲート酸化膜53およびゲート電極55A、55Bの側面に、約1000オングストロームの厚さのサイドウォール酸化膜56を形成する。そして、サイド

ウォール酸化膜56をマスクとして、イオン注入によりソース・ドレイン層156を形成することで、図33に示すLOGIC in DRAM300の構成が得られる。

【0303】ここで、LDD層157は、例えば砒素(As)イオンを30keVのエネルギーで、 $1 \times 10^{13} / \text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層156は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量を注入した後、850℃で30分間アニールすることで形成する。

【0304】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりLOGIC in DRAMが形成されるが、それらの工程の説明および図示は省略する。

【0305】＜3-3. 特徴的作用効果＞以上説明したように本発明に係る実施の形態3のLOGIC in DRAM300は、特性の異なる複数種類のトランジスタ(例えば、要求スペックの異なる)に対して、ゲート電極の不純物濃度およびチャネルドープ層の不純物濃度

を変えることでゲート酸化膜の実効的な厚みを変えてしきい値を設定する構成となっている。

【0306】すなわち、図34に示すように、不純物濃度の低いメモリセルアレイ部では、ゲート電極内に広い範囲で空乏層が形成され、酸化膜厚が実効的に厚くなって、しきい値が高くなる。

【0307】また、図34に示すように、センスアンプ部においては、チャネルドープ層の不純物濃度を他よりも低くすることで、拡散層からの漏れ電流(拡散層リーク)を最小限に抑制することができる。

【0308】このように、チャネルドープ層の不純物濃度は拡散層リークを最小にするように設定し、しきい値はゲート電極の不純物濃度により設定することで、しきい値と拡散層リークとのトレードオフ関係を打開(ブレークスルー)することができ、回路設計の制約を解消することができる。

【0309】なお、以上説明した本発明に係る実施の形態3では、単結晶基板上に各種トランジスタを形成する構成について示したが、SOI(silicon on insulator)基板上に各種トランジスタを形成する場合であっても、同様の作用効果を得ることができる。

【0310】＜実施の形態4＞

＜4-1. 装置構成＞図42に本発明に係る実施の形態4として、ロジック回路を有したフラッシュメモリ(以後、LOGIC in FLASHと呼称)400の部分構成を示す。

【0311】一般に、LOGIC in FLASHは、ロジック部とフラッシュメモリ部とに大別され、ロジック部では、高速であること、すなわち、高駆動能力と低容量であることが求められている。

【0312】また、フラッシュメモリ部では、高電圧が印加される高耐圧部やトンネル酸化膜に高い信頼性が求められるセルアレイ部などを有している。つまり、1チップのLOGIC in FLASH内で特性の異なる数種類のトランジスタが必要となる。

【0313】図42においては、ロジック部、高耐圧部、メモリセルアレイ部に用いられるNチャネル型MOSトランジスタT71~T73の断面をそれぞれ示している。

【0314】図42において、Nチャネル型MOSトランジスタT71~T73は同一の半導体基板71(P型)上に形成されたP型のウエル層171内に形成されている。ウエル層171は、ウエル層171内に形成されたチャネルカット層172と、LOCOS層72とで素子間分離され、Nチャネル型MOSトランジスタT71~T73は、それぞれ素子間分離された領域に形成されている。

【0315】ロジック部のNチャネル型MOSトランジスタT71は、ウエル層171内に独立して平行に形成された1対のソース・ドレイン層176と、当該ソース・ドレイン層176の向かい合う端縁部に接して形成された1対のLDD層177とを備えている。

【0316】そして、LDD層177の上部にはゲート酸化膜76が形成され、当該ゲート酸化膜76の上部にはゲート電極79Aが形成されている。また、ゲート酸化膜76およびゲート電極79Aの側面にはサイドウォール酸化膜80が形成されている。また、ゲート電極79Aの下層のウエル層171内には、チャネルドープ層173が形成されている。

【0317】フラッシュメモリ部における高耐圧部のNチャネル型MOSトランジスタT72は、ウエル層171内に独立して平行に形成された1対のソース・ドレイン層176と、当該ソース・ドレイン層176の向かい合う端縁部に接して形成された1対のLDD層177とを備えている。

【0318】そして、LDD層177の上部にはゲート酸化膜76が形成され、当該ゲート酸化膜76の上部にはゲート電極79Bが形成されている。また、ゲート酸化膜76およびゲート電極79Bの側面にはサイドウォール酸化膜80が形成されている。また、ゲート電極79Bの下層のウエル層171内には、チャネルドープ層173が形成されている。

【0319】フラッシュメモリ部におけるメモリセルアレイ部のNチャネル型MOSトランジスタT73は、ウエル層171内に独立して平行に形成された1対のソース・ドレイン層176を備え、ソース・ドレイン層176の端縁部上部にはトンネル酸化膜73が形成され、当該トンネル酸化膜73の上部にはフローティングゲート電極77、層間絶縁膜74、コントロールゲート電極79Aが順次形成されている。

【0320】また、トンネル酸化膜73、フローティングゲート電極77、層間絶縁膜74、コントロールゲート電極79Aの側面にはサイドウォール酸化膜80が形成されている。

【0321】また、フローティングゲート電極77の下層のウエル層171内には、チャンネルドープ層173が形成されている。なお、メモリセルアレイ部はゲートア*

*レイ構造となっており、隣合うゲートどうしが1のソース・ドレイン層176を共有する構造となっており、その構造が連続して配設された構成となっている。

【0322】表8にNチャネル型MOSトランジスタT71～T73の構成諸元を示す。

【0323】

【表8】

	ロジック部 (T71)	高耐圧部 (T72)	メモリセルアレイ部 (T73)
フィールド酸化膜厚	4000 Å	4000 Å	4000 Å
フローティングゲート酸化膜厚	50 Å	50 Å	100 Å
フローティングゲート電極膜厚	-----	-----	1000 Å
フローティングゲート不純物濃度	-----	-----	$1 \times 10^{20} / \text{cm}^3$
層間絶縁膜厚	-----	-----	$\text{TEOS}/\text{Si}_3\text{N}_4/\text{TEOS}=100/100/100 \text{ Å}$
コントロールゲート電極膜厚	2000 Å	2000 Å	2000 Å
サイドウォール	1000 Å	1000 Å	1000 Å
ウエル	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$	B 700keV $1 \times 10^{15} / \text{cm}^2$
チャンネルカット	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$	B 130keV $5 \times 10^{12} / \text{cm}^2$
チャンネルドープ	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$	B 50keV $1 \times 10^{12} / \text{cm}^2$
LDD	P 30keV $1 \times 10^{13} / \text{cm}^2$	P 30keV $1 \times 10^{13} / \text{cm}^2$	-----
ソース/ドレイン	P 50keV $5 \times 10^{15} / \text{cm}^2$	P 50keV $5 \times 10^{15} / \text{cm}^2$	P 50keV $5 \times 10^{15} / \text{cm}^2$
ゲート注入	As 30keV $5 \times 10^{15} / \text{cm}^2$	As 30keV $5 \times 10^{14} / \text{cm}^2$	As 30keV $5 \times 10^{15} / \text{cm}^2$
熱処理	850℃ 60min		

【0324】表8において、Nチャネル型MOSトランジスタT71～T73のそれぞれのゲート酸化膜の厚みは、50オングストローム、50オングストローム、100オングストロームとなっている。

【0325】また、Nチャネル型MOSトランジスタT71～T73のそれぞれのチャンネルドープ層形成時の不純物ドーザ量は、何れも $1 \times 10^{12} / \text{cm}^2$ となっている。なお、注入不純物は何れもボロン (B) であり、注入エネルギーは何れも50keVである。

【0326】また、Nチャネル型MOSトランジスタT71～T73のそれぞれのゲート電極形成時の不純物ドーザ量は、 $5 \times 10^{15} / \text{cm}^2$ 、 $5 \times 10^{14} / \text{cm}^2$ 、 $5 \times 10^{15} / \text{cm}^2$ となっている。なお、注入不純物は何れもヒ素 (As) であり、注入エネルギーは何れも30keVである。

【0327】また、図42で示したロジック部、高耐圧部、およびメモリセルアレイ部のNチャネル型MOSトランジスタT71～T73における、A-A'線、B-B'線、およびC-C'線による断面部分の不純物プロファイルを図43に示す。

【0328】図43において、横軸に断面方向の位置 (深さ) を、縦軸に不純物濃度を示す。なお、メモリセルアレイ部のNチャネル型MOSトランジスタT73の構成順序を図面上部に、他のMOSトランジスタの構成順序を図面横軸に示す。

【0329】図面上部において、図に向かって左側から

順に、コントロールゲート電極 (ポリシリコン層)、層間絶縁膜 (ONO膜)、フローティングゲート電極 (ポリシリコン層)、トンネル酸化膜 (SiO₂層)、ウエル層 (バルクシリコン層) となっている。

【0330】また、図面横軸において、図に向かって左側から順に、ゲート電極 (ポリシリコン層)、ゲート酸化膜 (SiO₂層)、ウエル層 (バルクシリコン層) となっている。

【0331】図43において、C-C'線で示すように、メモリセルアレイ部においてゲート電極中の不純物濃度が最も高く、B-B'線で示す高耐圧部のゲート電極中の不純物濃度が最も低くなっている。

【0332】このため、高耐圧部では、コントロールゲート電極において空乏層が最も広くなり、酸化膜の実効的な厚さが最も厚くなり、高い電圧にも耐えることができる。

【0333】図44に各ゲート酸化膜の実際の厚みと、実効的な厚みを示す。図44において、横軸左側から順にロジック部、高耐圧部、メモリセルアレイ部のそれぞれのNチャネル型MOSトランジスタを示している。図44から明らかなように、各ゲート酸化膜の実効的な厚みは、高耐圧部において特に厚くなっている。

【0334】また、図43に示すように、ロジック部 (A-A'線)、高耐圧部 (B-B'線)、メモリセルアレイ部 (C-C'線) の何れのトランジスタにおいても、チャンネルドープ層の不純物プロファイルは同じであ

る。

【0335】なお、メモリセルアレイ部のNチャネル型MOSトランジスタT73のフローティングゲート電極はCVD法で形成するため、不純物プロファイルは一定である。

【0336】<4-2. 製造方法>以下に、図42で示したロジック部、フラッシュメモリ部のセンスアンプ部およびメモリセルアレイ部のNチャネル型MOSトランジスタT71~T73の製造方法について、図45~図57を用いて説明する。

【0337】まず、図45に示す工程において、P型の半導体基板71の表面にロコス法によりLOCOS層（フィールド酸化膜）72を、例えば4000オングストロームの厚さに形成する。続いて、例えばボロンイオンを、700keVのエネルギーで、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量を注入することで、半導体基板71内にP型のウエル領域171を形成する。なお、半導体基板71内にはPチャネル型MOSトランジスタを形成するためにN型のウエル領域も形成されるが、説明および図示は省略する。次に、例えばボロンイオンを、130keVのエネルギーで、 $5 \times 10^{12}/\text{cm}^2$ のドーズ量を注入することで、半導体基板71内にチャネルカット層172を形成する。なお、チャネルカット層172は、LOCOS層72とで素子間分離領域を形成するような形状に形成する。

【0338】次に、ウエル領域171内にチャネルドープ層173を形成する。なお、チャネルドープ層173の形成は、例えばボロンイオンを、50keVのエネルギーで、 $1 \times 10^{12}/\text{cm}^2$ のドーズ量を注入することで行う。

【0339】次に、図46に示す工程において、半導体基板71の主面上にトンネル酸化膜73となる酸化膜731を熱酸化法により形成した後、その上にゲート電極材料として、例えばドーフトポリシリコン層771をCVD法にて形成する。なお、酸化膜731の厚みは100オングストローム程度、ドーフトポリシリコン層771の厚みは1000オングストローム程度で、その不純物としてはリン(P)を使用し、濃度は $1 \times 10^{20}/\text{cm}^3$ 程度である。

【0340】次に、図47に示す工程において、メモリセルアレイ部におけるドーフトポリシリコン層771の上部に選択的にレジストマスクR271を形成する。この場合、レジストマスクR271はメモリセルアレイ部のゲート幅方向に沿って形成される。そして、レジストマスクR271で覆われていない部分のドーフトポリシリコン層771を異方性エッチングにより除去する。この状態を図48に示す。

【0341】図48は、図47を上面側（レジストマスクR271を形成する側）から見た平面図であり、レジストマスクR271はメモリセルアレイ部において、規

則的に配列された矩形の島状をなすように形成されている。なお、レジストマスクR271は、矩形の島状をなす活性層AL上と、その周囲のLOCOS層LL上を覆うように形成されている。また、高耐圧部およびロジック部においてはレジストマスクが形成されていないので、活性層ALが露出している。

【0342】次に、レジストマスクR271を除去した後、図49に示す工程において、ドーフトポリシリコン層771上に、フローティングゲートとコントロールゲートとを絶縁する層間絶縁膜74となる絶縁膜741をCVD法にて形成する。なお、この膜はTEOS膜、窒化膜(Si_3N_4)、TEOS膜を順に積層した構成となっており、それぞれの膜厚は100オングストロームである。また、絶縁膜741は高耐圧部およびロジック部上にも形成される。

【0343】次に、図50に示す工程において、メモリセルアレイ部の絶縁膜741上をレジストマスクR272で覆い、その他の領域の絶縁膜741を全て除去する。この場合、その他の領域においては酸化膜731も除去する。この状態を図51に示す。

【0344】図51は、図50を上面側（レジストマスクR272を形成する側）から見た平面図であり、レジストマスクR272はメモリセルアレイ部全域を覆うように形成されているが、高耐圧部およびロジック部においてはレジストマスクR272が形成されていないので、活性層ALが露出している。

【0345】次に、レジストマスクR272を除去した後、図52に示す工程において、半導体基板71の主面全面にゲート酸化膜76となる酸化膜761を熱酸化法により形成する。このときメモリセルアレイ部上の絶縁膜741は、窒化膜を含んでいるため酸化されることはなく、その厚さは保たれる。なお、酸化膜761の厚みは50オングストローム程度である。

【0346】次に、図53に示す工程において、半導体基板71の主面全面に、ゲート電極材料として、(ノンドーブ)ポリシリコン層790をCVD法にて形成する。なお、ポリシリコン層790の厚みは2000オングストローム程度である。

【0347】次に、図54に示す工程において、不純物濃度が最も低い、高耐圧部のNチャネル型MOSトランジスタT72のゲート電極に合わせて、ポリシリコン層790に不純物イオンを注入し、ドーフトポリシリコン層790Bを形成する。このとき、ロジック部およびメモリセルアレイ部にもドーフトポリシリコン層790Bが形成される。なお、ドーフトポリシリコン層790Bの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $5 \times 10^{14}/\text{cm}^2$ のドーズ量を注入することで行う。

【0348】次に、図55に示す工程において、高耐圧部の上部にレジストマスクR275を形成し、ロジック

部およびメモリセルアレイ部のドーフトポリシリコン層790Bに選択的に不純物を追加注入し、ロジック部およびメモリセルアレイ部のNチャネル型MOSトランジスタT71およびT733に合わせた不純物濃度のドーフトポリシリコン層790Aを形成する。なお、ドーフトポリシリコン層790Aの形成は、例えばヒ素イオンを、30keVのエネルギーで、 $4.5 \times 10^{15}/\text{cm}^2$ のドーズ量を注入することで行う。

【0349】次に、レジストマスクR275を除去した後、図56に示す工程において、ドーフトポリシリコン層790Aおよび790Bの上部にレジストマスクR276を形成してパターンニングを行う。この状態を図57に示す。

【0350】図57は、図56を上面側（レジストマスクR276を形成する側）から見た平面図であり、レジストマスクR276は、矩形の活性領域ALに垂直になるように形成されている。

【0351】このパターンニングにより、ロジック部においては、ゲート酸化膜76およびゲート電極79Aを、高耐圧部においては、ゲート酸化膜76およびゲート電極79Bを、メモリセルアレイ部においては、トンネル酸化膜73、フローティングゲート電極77、層間絶縁膜74、コントロールゲート電極79Aを形成する。

【0352】次に、ロジック部および高耐圧部にイオン注入によりLDD層177を形成した後、ゲート酸化膜76およびゲート電極79Aの側面、ゲート酸化膜76およびゲート電極79Bの側面、トンネル酸化膜73、フローティングゲート電極77、層間絶縁膜74、コントロールゲート電極79Aの側面に、約1000オングストロームの厚さのサイドウォール酸化膜80を形成する。そして、サイドウォール酸化膜80をマスクとして、イオン注入によりソース・ドレイン層176を形成することで、図42に示すフラッシュメモリの構成が得られる。

【0353】ここで、LDD層177は、例えば砒素イオンを30keVのエネルギーで、 $1 \times 10^{13}/\text{cm}^2$ のドーズ量を注入することで形成する。また、ソース・ドレイン層176は、例えば砒素イオンを50keVのエネルギーで、 $5 \times 10^{15}/\text{cm}^2$ のドーズ量を注入した後、850℃で30分間アニールすることで形成する。

【0354】なお、この後に、キャパシタ形成、層間絶縁膜の形成、配線層の形成工程等を経ることによりLOGIC in FLASHが形成されるが、それらの工程の説明および図示は省略する。

【0355】＜4-3. 特徴的作用効果＞以上説明したように本発明に係る実施の形態4のLOGIC in FLASH400は、特性の異なる複数種類のトランジスタ（例えば、要求スペックの異なる）に対して、ゲート電極の不純物濃度を変えることでゲート酸化膜の実効的な厚みを変えてしきい値を設定する構成となっている。

ト電極の不純物濃度を変えることでゲート酸化膜の実効的な厚みを変えてしきい値を設定する構成となっている。

【0356】すなわち、図43に示すように、不純物濃度の低い高耐圧部では、ゲート電極内に広い範囲で空乏層が形成され、酸化膜厚が実効的に厚くなって、しきい値を高くできる。

【0357】また、ゲート酸化膜の実効的な厚みを変えることで、しきい値を設定することができるので、チャネルドーパ層の不純物濃度をトランジスタの特性に合わせて変える必要がなく、拡散層からの漏れ電流（拡散層リーク）を最小限に抑制できる濃度に固定することができる。

【0358】従って、チャネルドーパ層の不純物濃度は拡散層リークを最小にするように設定し、耐電圧特性やしきい値はゲート電極の不純物濃度により調整することで、耐電圧についての要求を満足するとともに、しきい値と拡散層リークとのトレードオフ関係を打開（ブレイクスルー）することができ、回路設計の制約を解消することができる。

【0359】また、厚さの異なるゲート酸化膜を形成する場合でも、ゲート酸化膜の実効的な厚みを変えることで、ゲート酸化膜の種類を削減することができる。従って、ゲート酸化膜の製造工程を簡略化できるとともに、信頼性に優れ、膜厚の制御性が良好なゲート酸化膜を得ることができる。

【0360】すなわち、図42に示す構成においては、ロジック部および高耐圧部のトランジスタにおけるゲート酸化膜の厚みは同じであるので、ゲート酸化膜の種類は2種類となる。そして、酸化膜を形成する工程は、酸化膜731を形成する工程（図46）と、酸化膜761を形成する工程（図52）だけであり、いずれの工程も1回の熱酸化工程で形成しているので、図109～図122を用いて説明した従来の製造方法のように、1つの酸化膜の形成を複数回に分けて行う必要はなく、不純物混入や膜厚の制御性の低下を心配する必要はない。

【0361】なお、以上説明した本発明に係る実施の形態4では、単結晶基板上に各種トランジスタを形成する構成について示したが、SOI（silicon on insulator）基板上に各種トランジスタを形成する場合であっても、本発明を適用することで同様の作用効果を得ることができる。

【0362】＜本発明のその他の適用例＞以上説明した本発明に係る実施の形態1～4では、DRAM、フラッシュメモリ、LOGIC in DRAM、LOGIC in FLASHを例として説明したが、本願発明の技術的思想の適用はこれらの半導体装置に限られない。すなわち、制御電極内の不純物層の不純物濃度を調整することで、制御電極内の空乏層の厚みを任意に設定し、ゲート酸化膜の実効的な厚みを変えてしきい値を任意に

設定することができるので、共通した1の基板上に形成される各部分のトランジスタにおいて、ゲート酸化膜の厚みは共通で、ゲート酸化膜の実効的な厚みを変える必要がある場合や、ゲート酸化膜の厚みはそれぞれ異なっても良いが、チャネルドープ層の濃度は同じにする必要がある場合には、本願発明を適用することで、所望の効果をj得ることができる。

【0363】また、実施の形態1～4では、それぞれ共通した1の基板上の3つの部分において、それぞれ特性が異なるトランジスタを使用する例を示したが、これは、3つの部分にそれぞれ1種類のトランジスタしか使用しないということではない。例えば、LOGIC in DRAMを例にとれば、ロジック部で2種類あるいはもっと多くの種類のトランジスタを使用しても良いし、センサンプ部でも2種類あるいはもっと多くの種類のトランジスタを使用する構成であっても良い。また、ロジック部では2種類、メモリセルアレイ部では1種類のトランジスタを使用する構成であっても良い。

【0364】また、ロジック部、高耐圧部、センサンプ部、メモリセルアレイ部などのように装置構成を明確に区分できないような半導体装置であっても、特性の異なる複数の種類のトランジスタを必要とする構成においては、本願発明は有効である。

【0365】また、使用するトランジスタの種類は3種類である必要はない。3種類以上、あるいは、2種類の特性の異なるトランジスタを使用する構成であっても良い。

【0366】これら種々の構成においても、制御電極内の不純物層の不純物濃度を調整し、ゲート酸化膜の厚み、チャネルドープ層の濃度の組み合わせを適宜選択することで、所望の効果をj得ることができる。

【0367】また、1種類のトランジスタしか有さない半導体装置においても、ゲート酸化膜の実効的な厚みを変えてしきい値を任意に設定したい場合には有効である。

【0368】＜実施の形態5＞以上説明した本発明に係る実施の形態1～4においては、DRAM、フラッシュメモリ、LOGIC in DRAM、LOGIC in FLASHの、センサンプ部、周辺回路部、メモリセルアレイ部、高耐圧部において、それらを構成するMOSトランジスタのゲート電極に不純物を注入した例について説明したが、ゲート電極に不純物を導入することで発生する空乏層の利用は、上述した部位に限定されるものではない。

【0369】すなわち、本願発明は1つのチップ内に複数種類のトランジスタを作り込む必要のある半導体装置において有効である。以下、本発明に係る実施の形態5について説明する。

【0370】図58に、一般的な降圧回路を示す。この降圧回路は5V（ボルト）の信号を3.3Vに降圧して

出力する回路で、電源電位Vccと接地電位GNDとの間に直列に接続されたPMOSトランジスタQ1およびNMOSトランジスタQ2と、電源電位Vccと接地電位GNDとの間に直列に接続されたダイオードD1およびD2と、ダイオードD1およびD2の接続点ND1に接続された入力パッドNDとを備えている。なお、ダイオードD1のカソードは電源電位Vccに、アノードはダイオードD2のカソードに接続され、ダイオードD2のアノードは接地電位GNDに接続されている。そして、接続点ND1は、PMOSトランジスタQ1およびNMOSトランジスタQ2のゲート電極に共通に接続される接続点ND2に接続され、PMOSトランジスタQ1およびNMOSトランジスタQ2の接続点ND3は、3.3Vで動作する回路系（以後、3.3V系回路と呼称）LCに接続されている。

【0371】このような構成の降圧回路において、PMOSトランジスタQ1およびNMOSトランジスタQ2のゲート電極には、入力パッドNDから5Vの信号が与えられることになる（以後、5V系回路HCと呼称）。一方、3.3V系回路LCを構成するMOSトランジスタのゲート電極には、5V系回路HCの出力である3.3Vが与えられることになる。

【0372】このように、ゲート電極に与えられる電圧が異なる回路系においては、それらを構成するMOSトランジスタのゲート酸化膜の厚さは、それぞれ異なっている必要がある。なぜなら、5V系回路HCのMOSトランジスタのゲート酸化膜の厚さを、3.3V系回路LCのMOSトランジスタのゲート酸化膜と同じにすると、絶縁能力の点で問題が発生する。逆に、3.3V系回路LCのMOSトランジスタのゲート酸化膜の厚さを、5V系回路HCのMOSトランジスタのゲート酸化膜と同じにすると、3.3V系回路LCのMOSトランジスタの動作速度が遅くなり、動作特性の点で問題が発生する。

【0373】そこで、従来はゲート酸化膜の厚さがそれぞれ異なったMOSトランジスタを形成していた。従って、厚さが異なるゲート酸化膜を形成するための工程が必要になり、製造工程が複雑になるという問題があった。

【0374】しかし、本願発明によれば5V系回路HCと3.3V系回路LCとでゲート酸化膜の厚さを変える必要はなく、製造工程を簡略化できる。

【0375】＜5-1. 装置構成＞図59に本発明に係る実施の形態5として、ゲート電極に与えられる電圧が比較的高いMOSトランジスタH1で構成される高電圧回路部HPと、ゲート電極に与えられる電圧が比較的低いMOSトランジスタL1で構成される低電圧回路部LPの製造工程を示す。

【0376】図59において、MOSトランジスタH1およびL1は、同一の半導体基板1001上に形成され

たウエル層1002内に形成されている。ウエル層1002はウエル層1002内に形成されたチャネルカット層1003と、LOCOS層1004とで素子間分離されている。そして、チャネルカット層1003とLOCOS層1004とで素子間分離された領域内には、チャネルドープ層1005が形成されている。

【0377】また、半導体基板1001の主面上には酸化膜1006が形成され、酸化膜1006の上部にはポリシリコン層1007が形成されている。なお、酸化膜1006の厚みは、MOSトランジスタL1のゲート電極に与えられる電圧に適した厚さとなっている。そして、高電圧回路部HPのポリシリコン層1007上を覆うように、レジストマスクR10が形成されている。

【0378】ここで、図60に低電圧回路部LPの部分斜視図を示す。図60において、D-D'線による断面図が図59の低電圧回路部LPに対応する。なお、図60に示す、ポリシリコン層1007の両側面外側のウエル層1002内には、後の工程でソースドレイン領域が形成されることになる。

【0379】<5-2. 製造方法>このような状態において、上部から不純物のイオン注入を行うと、低電圧回路部LPのポリシリコン層1007には不純物が注入されることになる。ここで、不純物の種類としては、MOSトランジスタL1をNチャネル型とする場合には、例えばリン(P)イオンを、30keVで $5 \times 10^{15} / \text{cm}^2$ のドーズ量となるように注入する。また、MOSトランジスタL1をPチャネル型とする場合には、例えばボロン(B)イオンを、10keVで $5 \times 10^{15} / \text{cm}^2$ のドーズ量となるように注入する。

【0380】このように、MOSトランジスタL1上のポリシリコン層1007に不純物のイオン注入を行うことで形成されるゲート電極は、MOSトランジスタL1の動作時においても、ゲート電極内に空乏層が形成されることが防止され、酸化膜が実効的に厚くなることはない。

【0381】一方、MOSトランジスタH1上のポリシリコン層1007には、不純物イオンは注入されないもので、MOSトランジスタH1の動作時において、ゲート電極内に広い範囲で空乏層が形成されることになり、酸化膜が実効的に厚くなる。従って、酸化膜1006の厚みが、MOSトランジスタH1のゲート電極に与えられる電圧に適した厚さではない場合でも、酸化膜が絶縁破壊されることは防止される。

【0382】<5-3. 特徴的作効効果>このように、ゲート電極に与えられる電圧が比較的高いMOSトランジスタH1で構成される高電圧回路部HPと、ゲート電極に与えられる電圧が比較的低いMOSトランジスタL1で構成される低電圧回路部LPが存在する場合であっても、酸化膜はMOSトランジスタL1に適するように形成すれば良く、酸化膜を作り分ける場合に比べて製造工

程を簡略化できる。

【0383】なお、上記の説明では、MOSトランジスタH1上のポリシリコン層1007には、不純物イオンを注入しない例を示したが、先に説明した実施の形態1~4と同様に、MOSトランジスタH1上のポリシリコン層1007に不純物イオンを注入した構成であっても良い。

【0384】すなわち、図59に示した工程の後に、図61に示す工程を行って、MOSトランジスタH1上のポリシリコン層1007に不純物イオンを注入しても良い。図61において、低電圧回路部LPのポリシリコン層1007上を覆うように、レジストマスクR11が形成されている。そして、上部から不純物のイオン注入を行うと、高電圧回路部HPのポリシリコン層1007には不純物が注入されることになる。ここで、不純物としては、MOSトランジスタH1をNチャネル型とする場合には、例えばリン(P)イオンを、30keVで $5 \times 10^{14} / \text{cm}^2$ のドーズ量となるように注入する。また、MOSトランジスタH1をPチャネル型とする場合には、例えばボロン(B)イオンを、10keVで $5 \times 10^{14} / \text{cm}^2$ のドーズ量となるように注入する。

【0385】このように、高電圧回路部HPのポリシリコン層1007にも不純物を注入することで、MOSトランジスタH1の動作時において、ゲート電極内に形成される空乏層の範囲を、不純物濃度に応じて調整することができ、酸化膜の実効的な厚みを調整できる。

【0386】<5-4. 変形例1>以上説明した本発明に係る実施の形態5においては、高電圧回路部HPのMOSトランジスタH1上のポリシリコン層1007に直接に不純物イオンを注入する例を示したが、以下に説明する方法によって不純物イオンを導入しても良い。

【0387】図62に高電圧回路部HPの主要部を示す。なお、図62においては、チャネルカット層1003およびチャネルドープ層1005は省略されている。

【0388】図62において、LOCOS層1004に挟まれた活性領域ALのポリシリコン層1007上にレジストマスクR12が形成されている。

【0389】そして、この状態において、レジストマスクR12で覆われないポリシリコン1007の上部から不純物イオンを注入する。ここで、不純物イオンの注入位置は、図62に示すように活性領域ALの端縁部から距離aだけ離れた位置である。

【0390】この工程の後、例えば、850℃、30分間のアニールを行うと注入された不純物が、ポリシリコン1007中において矢印で示す方向に拡散し、活性領域AL上のポリシリコン1007内に不純物が導入されることになる。

【0391】なお、活性領域AL上のポリシリコン1007内の不純物濃度は、アニール条件や、距離aを適宜選ぶことによって決定することができる。すなわち、距

離 a を短くすれば、不純物濃度は高くでき、距離 a を長くすれば、不純物濃度を低くできる。ここで、距離 a の一例としては、 $1\mu\text{m}$ 程度である。

【0392】このように、活性領域AL上のポリシリコン1007内に熱拡散により不純物を導入することで、直接に不純物イオンを注入する場合に比べて、不純物濃度を微妙に調整することができる。

【0393】<5-5. 変形例2>以上説明した本発明に係る実施の形態5においては、高電圧回路部HPのMOSトランジスタH1上の活性層上のポリシリコン層1007の全域（LOCOS層1004上も含む）に不純物イオンを注入する例を示したが、以下に説明するように、ポリシリコン層1007の中央部に部分的に不純物イオンを注入するようにしても良い。

【0394】図63に高電圧回路部HPの主要部を示す。なお、図63においては、チャネルカット層1003およびチャネルドープ層1005は省略されている。

【0395】図61において、LOCOS層1004に挟まれた活性領域ALの中央部のポリシリコン層1007上が開口部となるようにレジストマスクR13が形成されている。

【0396】そして、この状態において、レジストマスクR13で覆われないポリシリコン1007の上部から不純物イオンを注入することで、活性領域ALの中央部のポリシリコン層1007内に不純物が注入されることになる。

【0397】この工程の後、例えば、 850°C 、30分間のアニールを行うと注入された不純物が、ポリシリコン1007中において矢印で示す方向に拡散し、活性領域ALの端縁部上のポリシリコン1007内にも不純物が導入されることになる。

【0398】このとき、活性領域ALの中央部のポリシリコン層1007内には比較的高濃度の不純物層が形成され、活性領域ALの端縁部上のポリシリコン1007内には比較的低濃度の不純物層が形成されることになる。

【0399】従って、MOSトランジスタH1の動作時には、活性領域ALの中央部のポリシリコン層1007内においては空乏層の形成範囲が小さくなり、実効的な酸化膜の厚さは厚くならないが、活性領域ALの端縁部上のポリシリコン1007内においては空乏層の形成範囲が大きくなり、実効的な酸化膜の厚さは厚くなって、部分的にしきい値が高くなる。

【0400】このような構成を採ることによる利点は、バルクシリコン基板上に形成するMOSトランジスタにおいては少ないが、SOI (silicon on insulator) 基板上に形成するMOSトランジスタにおいては、活性領域ALの端縁部の構造に起因するしきい値低下の問題を解消できる。

【0401】図64に、SOI (silicon on insulator)

r) 基板上に形成したMOSトランジスタを示す。SOI基板1010は、シリコン基板1013、シリコン基板1013上に形成された埋め込み絶縁膜1012、埋め込み絶縁膜1012上に形成されたSOI層1011とで構成され、SOI層1011上にMOSトランジスタ等を形成するものである。そして、SOI層1011は厚みが薄く形成されている。特に、図64のE-E'線で示す部分のように、活性領域ALの端縁部ではSOI層1011は極めて薄く、この部分におけるMOSトランジスタのしきい値は、他の部分（F-F'線で示す部分）に比べて低下し、MOSトランジスタ全体のしきい値が低下するという問題があった。

【0402】しかし、本願発明によれば、活性領域ALの端縁部上のポリシリコン1007内において空乏層の形成範囲が大きくなり、実効的な酸化膜の厚さが厚くなって、部分的にしきい値を高くすることができるので、この問題を解消することができる。

【0403】<5-6. 変形例3>本発明に係る実施の形態5においては、低電圧回路LPおよび高電圧回路部HPのMOSトランジスタH1上に1層のポリシリコン層1007を形成し、そこに不純物イオンを注入する例を示したが、以下に説明するようにポリシリコン層を2層構造としても良い。

【0404】図65に、低電圧回路LPおよび高電圧回路部HPの主要部を示す。なお、図63においては、チャネルカット層1003およびチャネルドープ層1005は省略されている。

【0405】図65において、低電圧回路LPおよび高電圧回路部HPの酸化膜1006の上部にはノンドープポリシリコン層1020、ドープトポリシリコン層1021が順に形成されている。そして、高電圧回路部HPのドープトポリシリコン層1021の上部にはレジストマスクR14が形成されている。

【0406】この状態において、レジストマスクR14で覆われないドープトポリシリコン層1021の上部から不純物イオンを注入することで、低電圧回路LPのノンドープポリシリコン層1020にさらに不純物を導入する。

【0407】この結果、低電圧回路LPのMOSトランジスタL1の動作時には、ゲート電極には空乏層はほとんど形成されなくなる。なお、不純物としては、MOSトランジスタH1をNチャネル型とする場合には、例えばリン(P)イオンを、 30keV で $5 \times 10^{15}/\text{cm}^2$ のドーズ量となるように注入する。また、MOSトランジスタH1をPチャネル型とする場合には、例えばボロン(B)イオンを、 10keV で $5 \times 10^{15}/\text{cm}^2$ のドーズ量となるように注入する。

【0408】一方、高電圧回路HPのMOSトランジスタH1においては、ドープトポリシリコン層1021からノンドープポリシリコン層1020に不純物が自然に

拡散し、不純物濃度が低下して、MOSトランジスタH1の動作時には、ゲート電極に空乏層が形成されることになる。

【0409】なお、ノンドープポリシリコン層1020およびドーパントポリシリコン層1021の形成順序は逆であっても良い。

【0410】この場合には、ドーパントポリシリコン層1021からノンドープポリシリコン層1020への不純物の拡散が下から上に行われるため、若干拡散しにくくなるが、この性質を利用して空乏層の形成範囲を調整することができる。

【0411】また、ドーパントポリシリコン層1021からノンドープポリシリコン層1020への不純物の拡散を抑制して拡散量を調整するために、ドーパントポリシリコン層1021とノンドープポリシリコン層1020との間に、薄いSiN膜、あるいは、薄いSiO₂膜、あるいは薄いTiN膜などの拡散抑制膜を形成しても良い。

【0412】これらの膜は、CVD法あるいはスパッタ法により形成することができ、その厚さは50オングストローム程度である。

【0413】この程度の膜厚であれば、電子はトンネル現象で通過することができ、ドーパントポリシリコン層1021とノンドープポリシリコン層1020との導通が断たれることはない。

【0414】以上説明した本発明に係る実施の形態5およびその変形例においては、基本的にバルクシリコン基板上に形成される半導体装置を例として説明したが、変形例2において図62に示したようなSOI基板上に形成される半導体装置に適用しても良いことは言うまでもない。

【0415】また、実施の形態5の変形例1～3においては、高電圧回路部HPへの適用を例として説明したが、低電圧回路部LPに適用しても良いことは言うまでもない。

【0416】

【発明の効果】本発明に係る請求項1記載の半導体装置によれば、第1～第3の制御電極のうち少なくとも1つは、その内部に、深さ方向に濃度分布を有する第2導電型の不純物層を有するので、特性（例えば、要求スペック）の異なる第1～第3の種類のトランジスタに対して、例えば制御電極の不純物濃度をそれぞれ変えることでゲート酸化膜の実効的な厚みを変えてしきい値を設定することができる。また、制御電極の不純物濃度をvariousすることでゲート酸化膜の実効的な厚みをvariousすることができるので、耐電圧の異なるトランジスタのゲート酸化膜の厚さを、それぞれ異なった厚さに形成する必要がなくなる。

【0417】本発明に係る請求項2記載の半導体装置によれば、第1～第3の制御電極が、それぞれ不純物濃度

の異なる第1～第3の不純物層を備え、第1～第3のゲート酸化膜が同じ厚さを有し、第1～第3のチャネルドープ層が同じ不純物濃度を有しているため、例えば、DRAMにおいて、第1の種類のトランジスタをセンスアンプ回路に、第2の種類のトランジスタを周辺回路、第3の種類のトランジスタをメモリセルアレイに適用すれば、制御電極の不純物濃度をそれぞれ変えることでゲート酸化膜の実効的な厚みをvariousしてしきい値を設定することができる。従って、従来のようにチャネルドープ層の不純物濃度をトランジスタの特性に合わせてvariousする必要がなく、拡散層からの漏れ電流（拡散層リーク）を最小限に抑制できる濃度に固定することができる。従って、チャネルドープ層の不純物濃度は拡散層リークを最小にするように設定し、しきい値は制御電極の不純物濃度により設定することで、しきい値と拡散層リークとのトレードオフ関係を打開（ブレイクスルー）することができ、回路設計の制約を解消することができる。また、制御電極の不純物濃度をそれぞれvariousすることは、半導体基板内に形成されたチャネルドープ層の不純物濃度をvariousする場合に比べて、他の構成に及ぼす影響が少なく済む。すなわち、半導体基板内にイオンを注入する場合、特に高ドーズの注入を行う場合には、半導体基板の結晶性を劣化させる要因となる。しかし、本発明では最外層に位置する制御電極にイオンを注入するので、上記のような問題は発生しない。

【0418】本発明に係る請求項3記載の半導体装置によれば、第1および第2のゲート酸化膜が同じ第1の厚さを有し、第3のゲート酸化膜が第1の厚さよりも薄い第2の厚さを有し、第1～第3のチャネルドープ層が同じ不純物濃度を有しているため、例えば、フラッシュメモリにおいて、第1の種類のトランジスタを高耐圧を要求される回路に、第2の種類のトランジスタを周辺回路に、第3の種類のトランジスタをメモリセルアレイに適用すれば、制御電極の不純物濃度をそれぞれvariousすることでゲート酸化膜の実効的な厚みをvariousする構成となっている。従って、耐電圧の異なるトランジスタのゲート酸化膜の厚さを、それぞれ異なった厚さに形成する必要がなくなる。また、ゲート酸化膜の実効的な厚みをvariousすることで、しきい値を設定することができるので、チャネルドープ層の不純物濃度をトランジスタの特性に合わせてvariousする必要がなく、拡散層からの漏れ電流（拡散層リーク）を最小限に抑制できる濃度に固定することができる。従って、チャネルドープ層の不純物濃度は拡散層リークを最小にするように設定し、耐電圧特性やしきい値は制御電極の不純物濃度により調整することで、耐電圧についての要求を満足するとともに、しきい値と拡散層リークとのトレードオフ関係を打開（ブレイクスルー）することができ、回路設計の制約を解消することができる。また、厚さの異なるゲート酸化膜を形成する場合でも、ゲート酸化膜の実効的な厚みをvariousすることで、ゲ

ト酸化膜の種類を削減することができる。従って、ゲート酸化膜の製造工程を簡略化できるとともに、信頼性に優れ、膜厚の制御性が良好なゲート酸化膜を得ることができる。

【0419】本発明に係る請求項4記載の半導体装置によれば、第1および第2の制御電極が、不純物濃度が同じ第1および第2の不純物層を備え、第3の制御電極が、第1および第2の不純物層よりも低い濃度の第3の不純物層を備え、第1～第3のゲート酸化膜が同じ厚さを有しているため、例えば、LOGIC in DRAMにおいて、第1の種類のトランジスタをロジック回路に、第2の種類のトランジスタをセンスアンプ回路に、第3の種類のトランジスタをメモリセルアレイに適用すれば、不純物濃度の低いメモリセルアレイでは、制御電極内に広い範囲で空乏層が形成され、酸化膜厚が実効的に厚くなって、しきい値を高くできる。このように、第1～第3のチャネルドープ層の不純物濃度は拡散層リークを最小にするように設定し、しきい値は第1～第3の制御電極の不純物濃度により設定することで、しきい値と拡散層リークとのトレードオフ関係を打開（ブレイクスルー）することができ、回路設計の制約を解消することができる。

【0420】本発明に係る請求項5記載の半導体装置によれば、第1および第2のゲート酸化膜が同じ第1の厚さを有し、第3のゲート酸化膜が第1の厚さよりも厚い第3の厚さを有し、第1～第3のチャネルドープ層が同じ不純物濃度を有しているため、例えば、LOGIC in FLASHにおいて、第1の種類のトランジスタをロジック回路に、第2の種類のトランジスタを高耐圧を要求される回路に、第3の種類のトランジスタをメモリセルアレイに適用すれば、不純物濃度の低い高耐圧を要求される回路では、ゲート電極内に広い範囲で空乏層が形成され、酸化膜厚が実効的に厚くなって、しきい値を高くできる。このように、第1～第3のチャネルドープ層の不純物濃度は拡散層リークを最小にするように設定し、しきい値は第1～第3の制御電極の不純物濃度により設定することで、しきい値と拡散層リークとのトレードオフ関係を打開（ブレイクスルー）することができ、回路設計の制約を解消することができる。

【0421】本発明に係る請求項6記載の半導体装置の製造方法によれば、請求項1記載の半導体装置を製造するのに適した製造方法を得ることができる。

【0422】本発明に係る請求項7記載の半導体装置の製造方法によれば、請求項2記載の半導体装置を製造するのに適した製造方法を得ることができる。

【0423】本発明に係る請求項8記載の半導体装置の製造方法によれば、請求項2記載の半導体装置を製造するのに適した製造方法を得ることができるとともに、不純物を注入した第2～第4の導電層を形成する前にパターンニングを行うので、パターンニング工程が容易となり、

製造工程を短縮できる。

【0424】本発明に係る請求項9ないし請求項11記載の半導体装置の製造方法によれば、それぞれ、請求項3ないし5記載の半導体装置を製造するのに適した製造方法を得ることができる。

【0425】本発明に係る請求項12記載の半導体装置の製造方法によれば、第1および第2の領域のうち、少なくとも第1の領域上の導電層にソース・ドレイン層と同じ導電型の不純物を導入することにより、第1および第2の種類のトランジスタに対して、制御電極の不純物濃度をそれぞれ変えることでゲート酸化膜の実効的な厚みを変えてしきい値を設定することが可能な半導体装置を得ることができ、第1および第2の種類のトランジスタの制御電極に与えられる電圧がそれぞれ異なる場合であっても、酸化膜の厚さを変える必要がなく、酸化膜を作り分ける場合に比べて製造工程を簡略化できる。

【0426】本発明に係る請求項13記載の半導体装置の製造方法によれば、第1および第2の領域のうち、少なくとも第1の領域上の導電層内に、間接的に熱拡散によって不純物を導入するので、直接に不純物イオンを注入する場合に比べて、不純物濃度を微妙に調整することができる。

【0427】本発明に係る請求項14記載の半導体装置の製造方法によれば、少なくとも第1の領域上の導電層内に、平面方向中央部では濃度が高く、端縁部に近づくにつれて濃度が低くなるように不純物を導入するので、導電層端縁部内においては空乏層の形成範囲が大きくなり、実効的な酸化膜の厚さが厚くなって、部分的にしきい値を高くすることができ、例えば、半導体基板としてSOI基板を使用する場合、端縁部の構造に起因するしきい値低下の問題を解消できる。

【0428】本発明に係る請求項15記載の半導体装置の製造方法によれば、少なくとも第1の領域上の第1および第2の導電層において、第1の導電層から第2の導電層に不純物を自然拡散させることで、不純物を分布させるので、直接に不純物イオンを注入する場合に比べて、不純物濃度を微妙に調整することができる。

【0429】本発明に係る請求項16記載の半導体装置の製造方法によれば、第1の導電層と第2の導電層との間に、不純物の拡散量を抑制する拡散抑制膜を形成するので、不純物の拡散を抑制して拡散量を調整することができる。

【図面の簡単な説明】

【図1】 ゲート電極中の不純物の作用を説明する図である。

【図2】 ゲート電極中の不純物分布を説明する図である。

【図3】 ゲート電極中の不純物の作用を説明する図である。

【図4】 ゲート電極中の不純物分布を説明する図であ

る。

【図 5】 ゲート電極中の不純物の作用を説明する図である。

【図 6】 ゲート電極中の不純物の作用を説明する図である。

【図 7】 本発明に係る実施の形態 1 の構成を示す断面図である。

【図 8】 本発明に係る実施の形態 1 の不純物分布を説明する図である。

【図 9】 本発明に係る実施の形態 1 のゲート酸化膜の厚みを説明する図である。 10

【図 10】 本発明に係る実施の形態 1 の製造工程を示す図である。

【図 11】 本発明に係る実施の形態 1 の製造工程を示す図である。

【図 12】 本発明に係る実施の形態 1 の製造工程を示す図である。

【図 13】 本発明に係る実施の形態 1 の製造工程を示す図である。

【図 14】 本発明に係る実施の形態 1 の製造工程を示す図である。 20

【図 15】 本発明に係る実施の形態 1 の製造工程を示す図である。

【図 16】 本発明に係る実施の形態 2 の構成を示す断面図である。

【図 17】 本発明に係る実施の形態 2 の不純物分布を説明する図である。

【図 18】 本発明に係る実施の形態 2 のゲート酸化膜の厚みを説明する図である。

【図 19】 本発明に係る実施の形態 2 の製造工程を示す図である。 30

【図 20】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 21】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 22】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 23】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 24】 本発明に係る実施の形態 2 の製造工程を示す図である。 40

【図 25】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 26】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 27】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 28】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 29】 本発明に係る実施の形態 2 の製造工程を示す 50

す図である。

【図 30】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 31】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 32】 本発明に係る実施の形態 2 の製造工程を示す図である。

【図 33】 本発明に係る実施の形態 3 の構成を示す断面図である。

【図 34】 本発明に係る実施の形態 3 の不純物分布を説明する図である。

【図 35】 本発明に係る実施の形態 3 のゲート酸化膜の厚みを説明する図である。

【図 36】 本発明に係る実施の形態 3 の製造工程を示す図である。

【図 37】 本発明に係る実施の形態 3 の製造工程を示す図である。

【図 38】 本発明に係る実施の形態 3 の製造工程を示す図である。

【図 39】 本発明に係る実施の形態 3 の製造工程を示す図である。

【図 40】 本発明に係る実施の形態 3 の製造工程を示す図である。

【図 41】 本発明に係る実施の形態 3 の製造工程を示す図である。

【図 42】 本発明に係る実施の形態 4 の構成を示す断面図である。

【図 43】 本発明に係る実施の形態 4 の不純物分布を説明する図である。

【図 44】 本発明に係る実施の形態 4 のゲート酸化膜の厚みを説明する図である。

【図 45】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 46】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 47】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 48】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 49】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 50】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 51】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 52】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 53】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 54】 本発明に係る実施の形態 4 の製造工程を示す

す図である。

【図 55】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 56】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 57】 本発明に係る実施の形態 4 の製造工程を示す図である。

【図 58】 本発明に係る実施の形態 5 を説明する回路図である。

【図 59】 本発明に係る実施の形態 5 の製造工程を示す図である。 10

【図 60】 本発明に係る実施の形態 5 を説明する MOS トランジスタの斜視図である。

【図 61】 本発明に係る実施の形態 5 の製造工程を示す図である。

【図 62】 本発明に係る実施の形態 5 の製造工程の変形例 1 を示す図である。

【図 63】 本発明に係る実施の形態 5 の製造工程の変形例 2 を示す図である。

【図 64】 本発明に係る実施の形態 5 の製造工程の変形例 2 の適用例を説明する図である。 20

【図 65】 本発明に係る実施の形態 5 の製造工程の変形例 3 を示す図である。

【図 66】 従来の DRAM の全体構成を説明する図である。

【図 67】 従来の DRAM の構成を説明する断面図である。

【図 68】 従来の DRAM の不純物分布を説明する図である。

【図 69】 従来の DRAM の製造工程を示す図である。 30

【図 70】 従来の DRAM の製造工程を示す図である。

【図 71】 従来の DRAM の製造工程を示す図である。

【図 72】 従来の DRAM の製造工程を示す図である。

【図 73】 従来の DRAM の製造工程を示す図である。

【図 74】 従来の DRAM の製造工程を示す図である。 40

【図 75】 従来のフラッシュメモリの全体構成を説明する図である。

【図 76】 従来のフラッシュメモリの構成を説明する断面図である。

【図 77】 従来のフラッシュメモリのゲート酸化膜の厚みを説明する図である。

【図 78】 従来のフラッシュメモリの製造工程を示す図である。

【図 79】 従来のフラッシュメモリの製造工程を示す 50

図である。

【図 80】 従来のフラッシュメモリの製造工程を示す図である。

【図 81】 従来のフラッシュメモリの製造工程を示す図である。

【図 82】 従来のフラッシュメモリの製造工程を示す図である。

【図 83】 従来のフラッシュメモリの製造工程を示す図である。

【図 84】 従来のフラッシュメモリの製造工程を示す図である。

【図 85】 従来のフラッシュメモリの製造工程を示す図である。

【図 86】 従来のフラッシュメモリの製造工程を示す図である。

【図 87】 従来のフラッシュメモリの製造工程を示す図である。

【図 88】 従来のフラッシュメモリの製造工程を示す図である。

【図 89】 従来のフラッシュメモリの製造工程を示す図である。

【図 90】 従来のフラッシュメモリの製造工程を示す図である。

【図 91】 従来のフラッシュメモリの製造工程を示す図である。

【図 92】 従来の LOGIC in DRAM の全体構成を説明する図である。

【図 93】 従来の LOGIC in DRAM の構成を説明する断面図である。

【図 94】 従来の LOGIC in DRAM の不純物分布を説明する図である。

【図 95】 従来の LOGIC in DRAM のゲート酸化膜の厚みを説明する図である。

【図 96】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 97】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 98】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 99】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 100】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 101】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 102】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 103】 従来の LOGIC in DRAM の製造工程を示す図である。

【図 104】 従来の LOGIC in DRAM の製

造工程を示す図である。

【図105】 従来のLOGIC in FLASHの全体構成を説明する図である。

【図106】 従来のLOGIC in FLASHの構成を説明する断面図である。

【図107】 従来のLOGIC in FLASHの不純物分布を説明する図である。

【図108】 従来のLOGIC in FLASHのゲート酸化膜の厚みを説明する図である。

【図109】 従来のLOGIC in FLASHの製造工程を示す図である。

【図110】 従来のLOGIC in FLASHの製造工程を示す図である。

【図111】 従来のLOGIC in FLASHの製造工程を示す図である。

【図112】 従来のLOGIC in FLASHの製造工程を示す図である。

【図113】 従来のLOGIC in FLASHの製造工程を示す図である。

【図114】 従来のLOGIC in FLASHの製造工程を示す図である。

【図115】 従来のLOGIC in FLASHの

製造工程を示す図である。

【図116】 従来のLOGIC in FLASHの製造工程を示す図である。

【図117】 従来のLOGIC in FLASHの製造工程を示す図である。

【図118】 従来のLOGIC in FLASHの製造工程を示す図である。

【図119】 従来のLOGIC in FLASHの製造工程を示す図である。

【図120】 従来のLOGIC in FLASHの製造工程を示す図である。

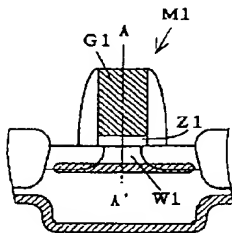
【図121】 従来のLOGIC in FLASHの製造工程を示す図である。

【図122】 従来のLOGIC in FLASHの製造工程を示す図である。

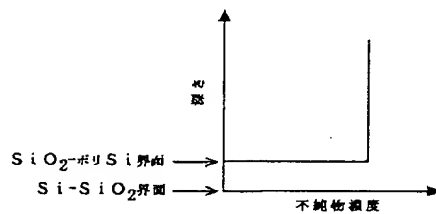
【符号の説明】

42, 280, 550, 790, 1020 (ノンドープ) ポリシリコン層、42A~42C, 280A~280C, 550A, 550B, 771, 790A, 790B, 1021 ドープトポリシリコン層、HP 高電圧回路部、LP 低電圧回路部、1010 SOI基板、1011 SOI層。

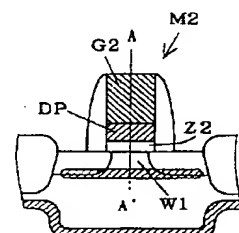
【図1】



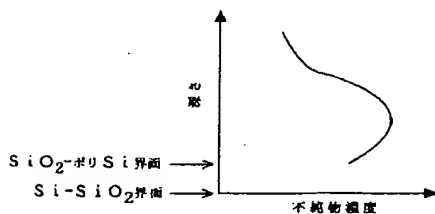
【図2】



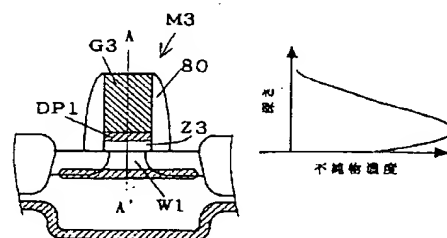
【図3】



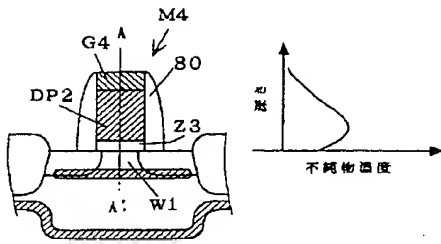
【図4】



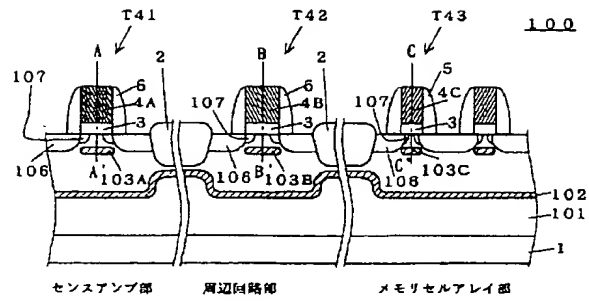
【図5】



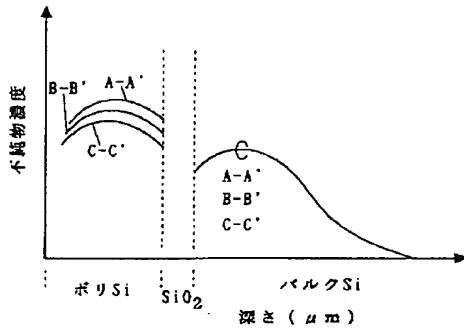
【図6】



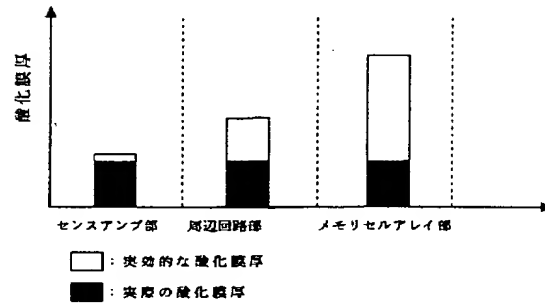
【図7】



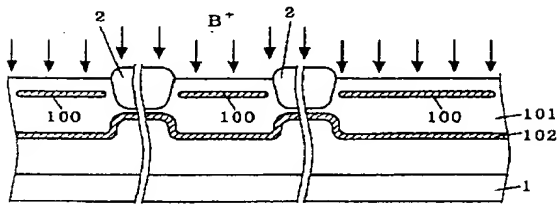
【図8】



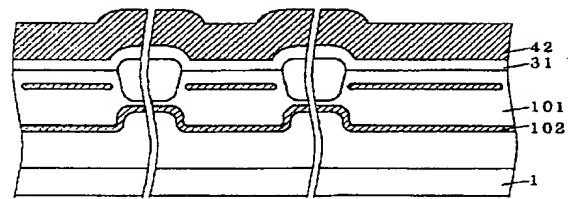
【図9】



【図10】

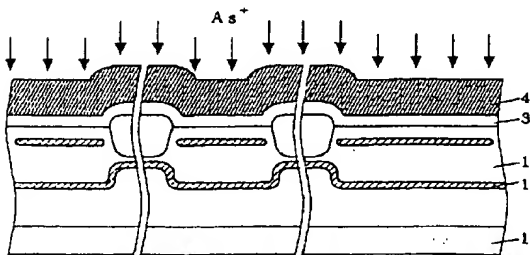


【図11】



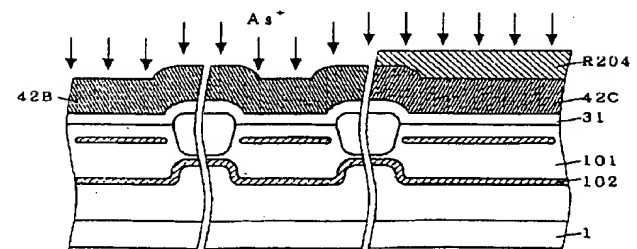
42 : (ノンドーブ) ポリシリコン層

【図12】



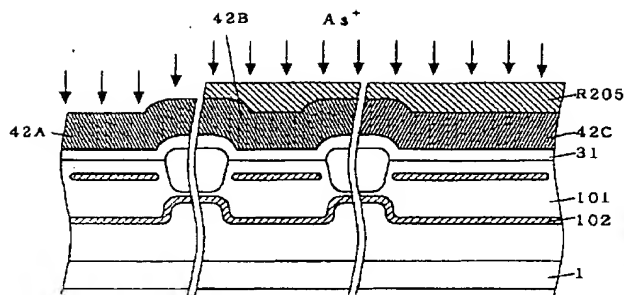
42C : ドーブトポリシリコン層

【図13】



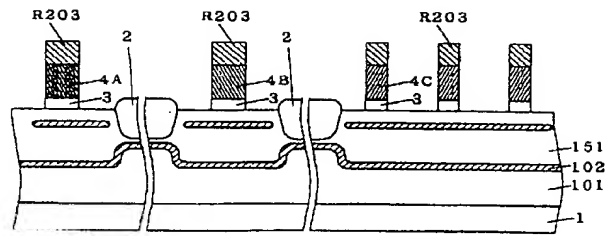
42B : ドーブトポリシリコン層

【図14】

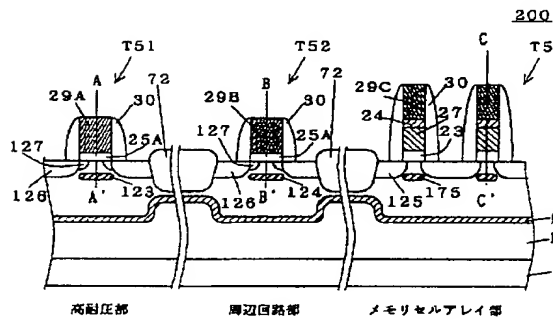


42A: ドープトポリシリコン層

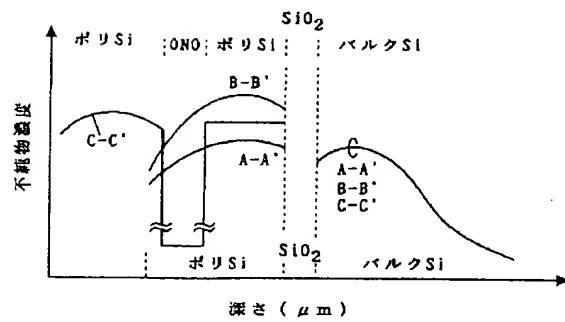
【図15】



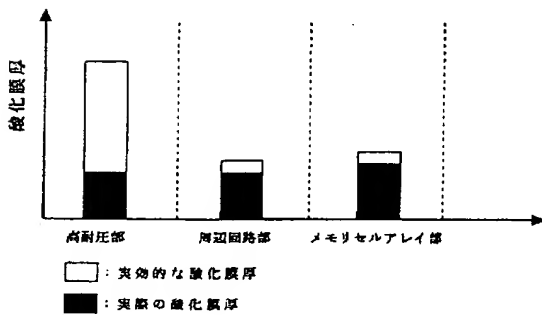
【図16】



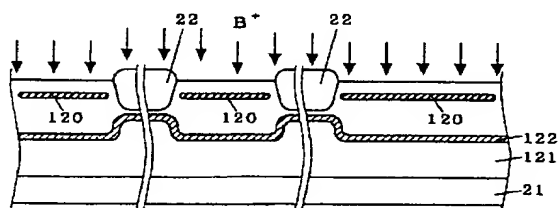
【図17】



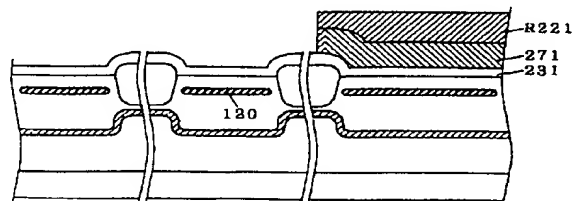
【図18】



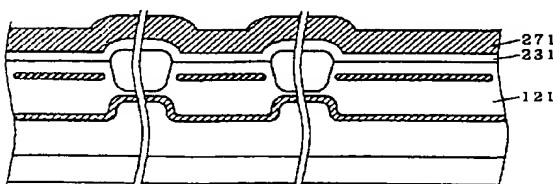
【図19】



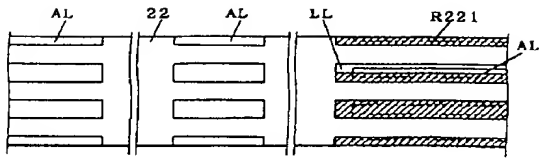
【図21】



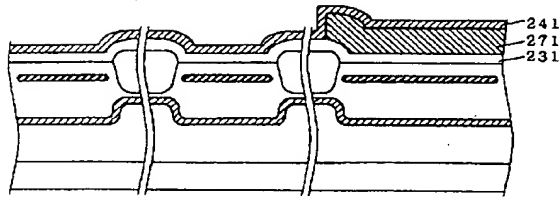
【図20】



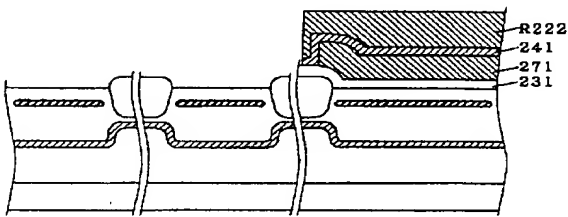
【図22】



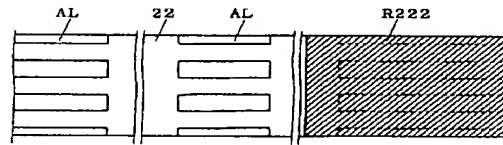
【図23】



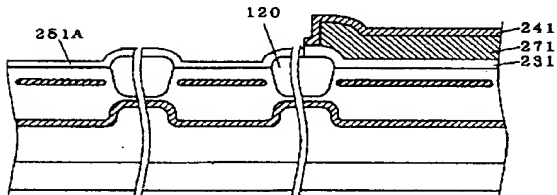
【図24】



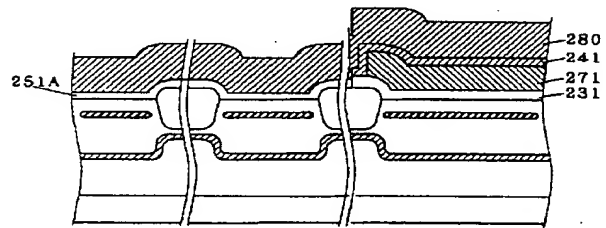
【図25】



【図26】

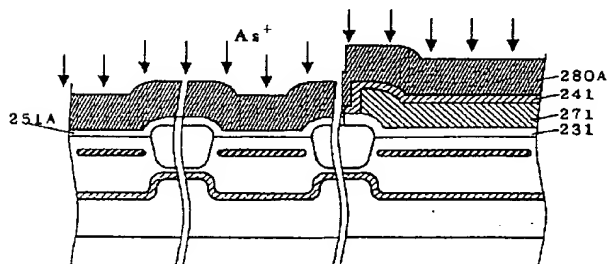


【図27】



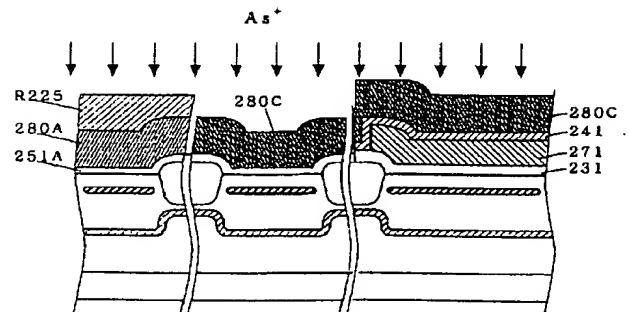
280: (ノンドープ) ポリシリコン層

【図28】



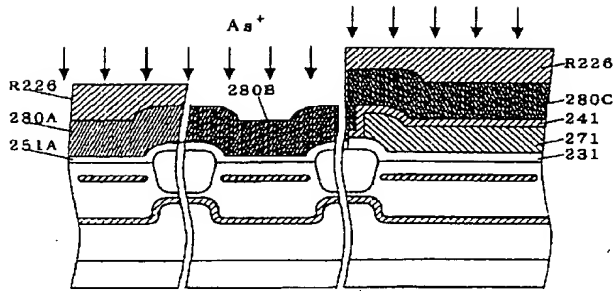
280A: ドープトポリシリコン層

【図29】

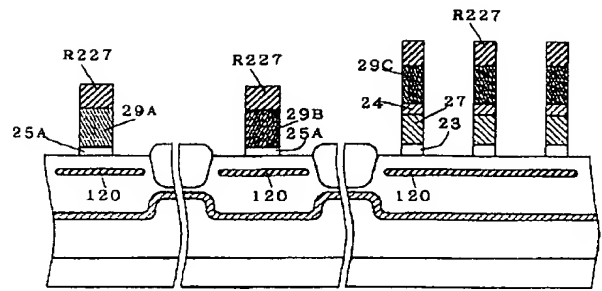


280C: ドープトポリシリコン層

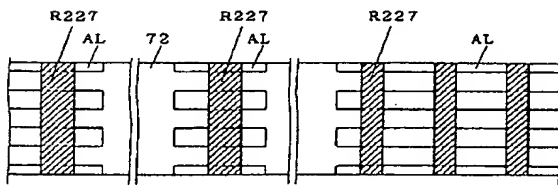
【図30】



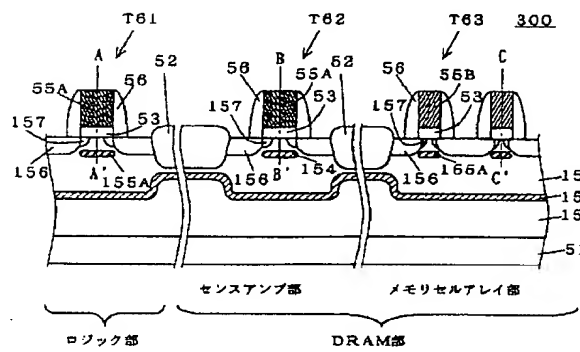
【図31】



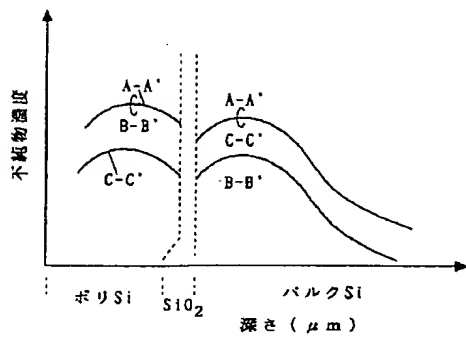
【図32】



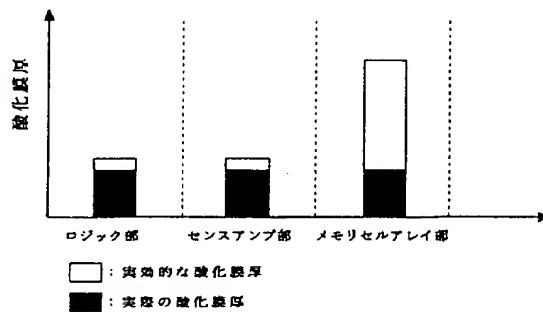
【図33】



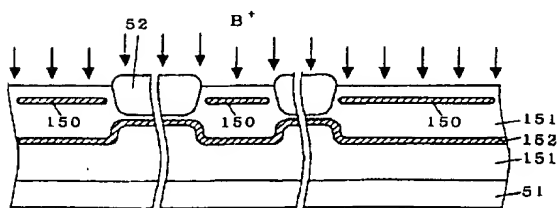
【図34】



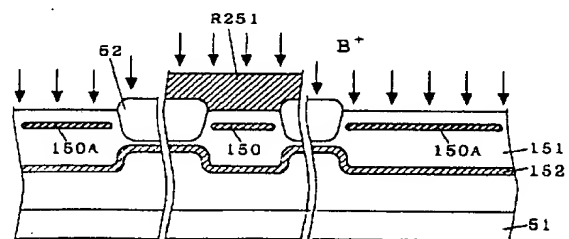
【図35】



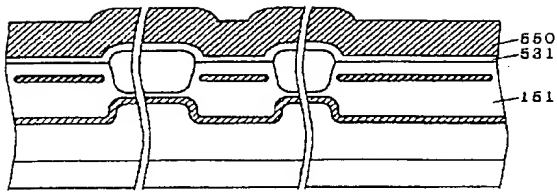
【図36】



【図37】

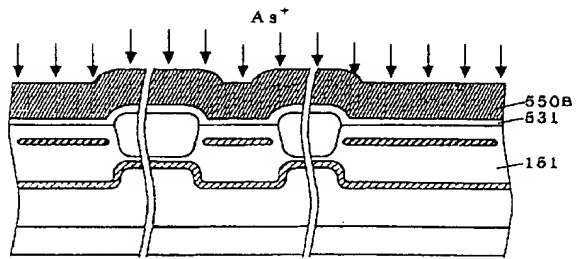


【図38】



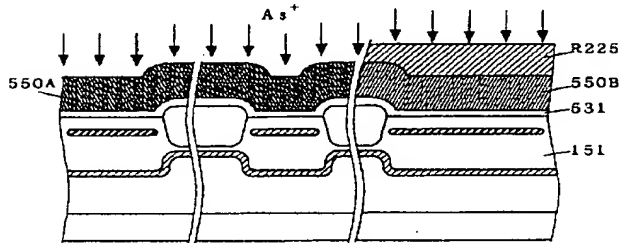
550 : (ノンドープ) ポリシリコン層

【図39】



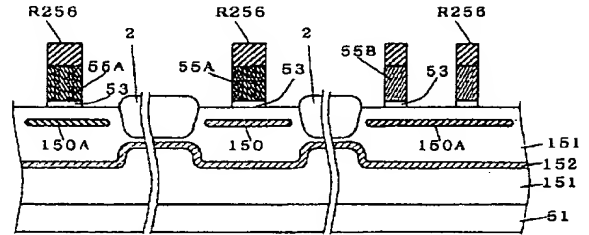
550B : ドープトポリシリコン層

【図40】

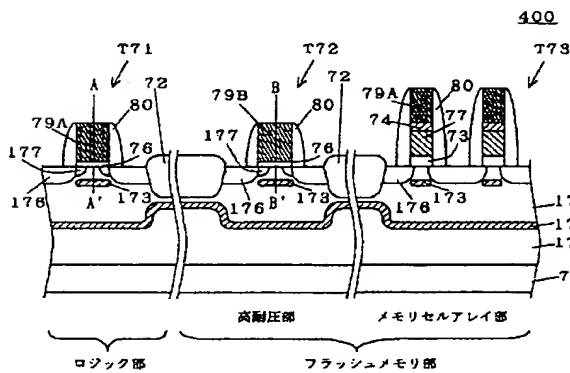


550A : ドープトポリシリコン層

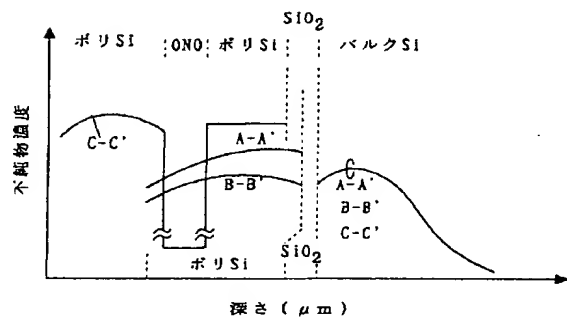
【図41】



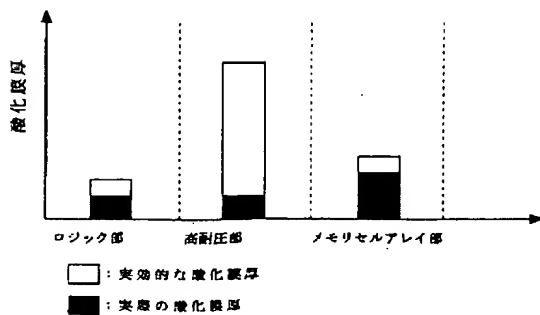
【図42】



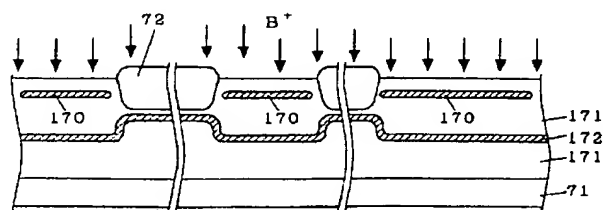
【図43】



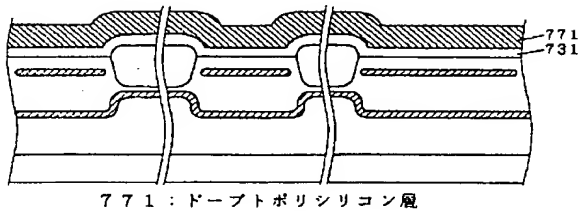
【図44】



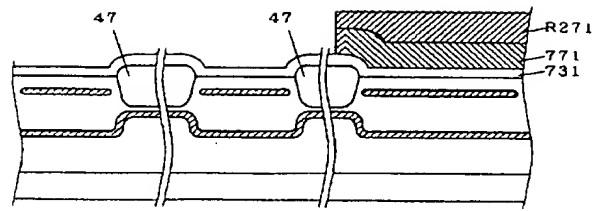
【図45】



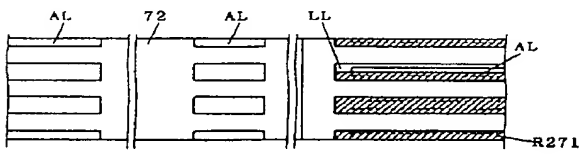
【図46】



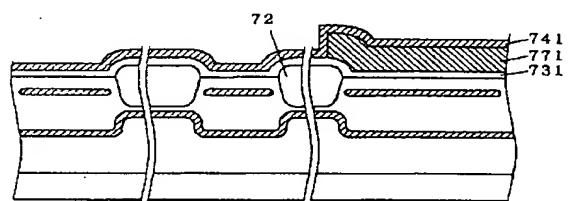
【図47】



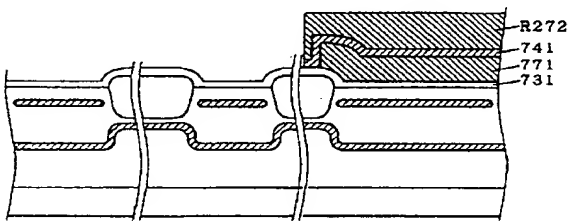
【図48】



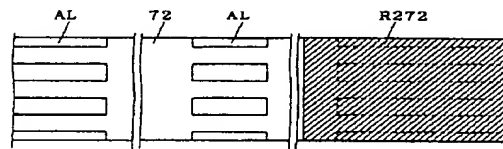
【図49】



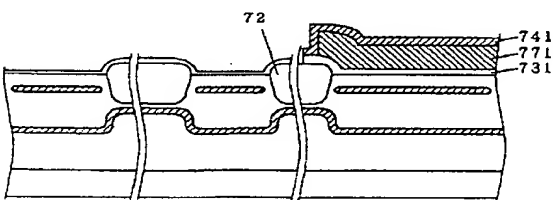
【図50】



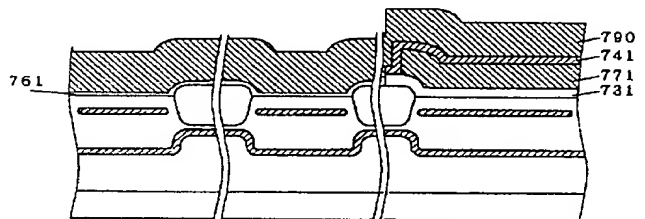
【図51】



【図52】

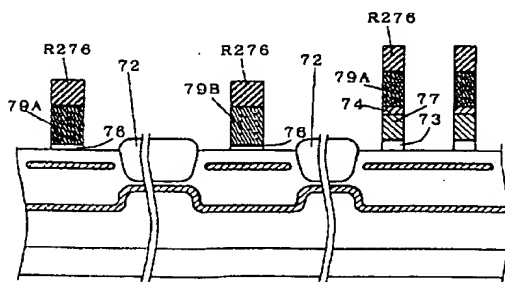


【図53】

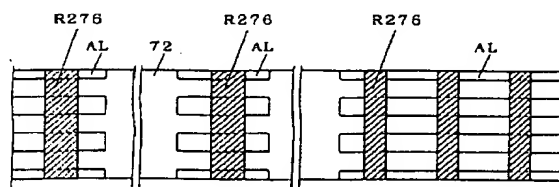


790 : (ノンドープ) ポリシリコン層

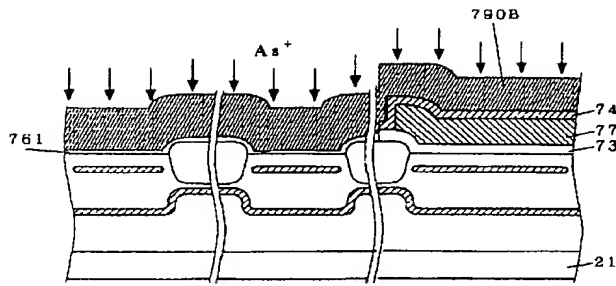
【図56】



【図57】

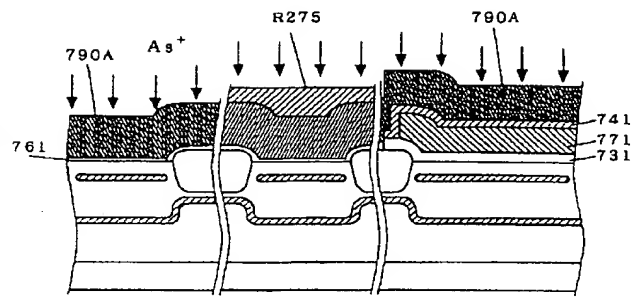


【図54】



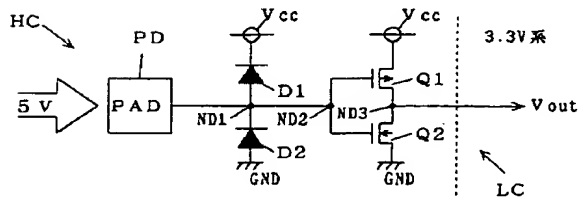
790B: ドープトポリシリコン層

【図55】

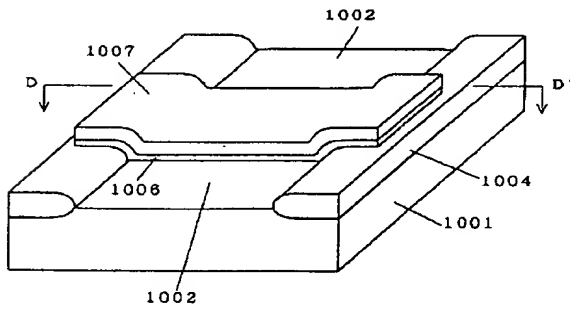


790A: ドープトポリシリコン層

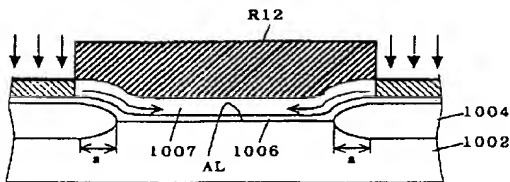
【図58】



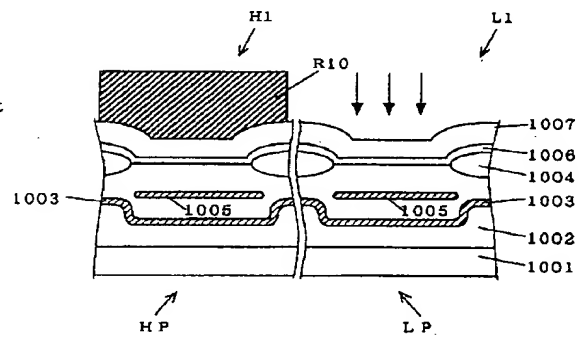
【図60】



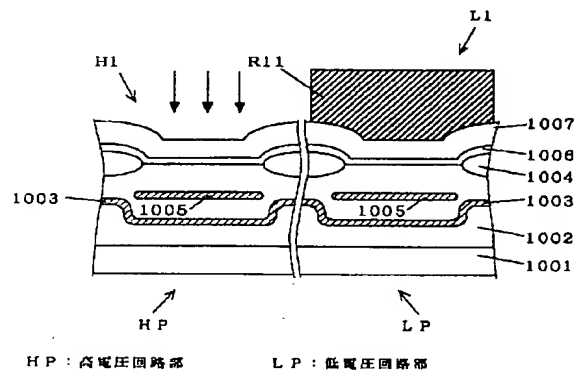
【図62】



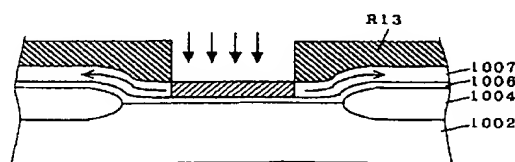
【図59】



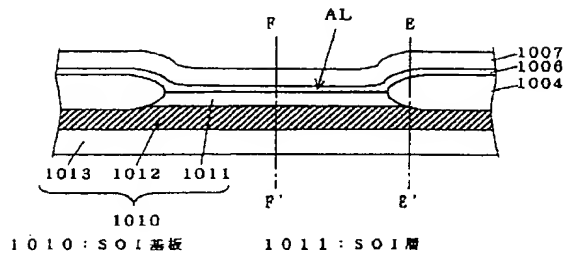
【図61】



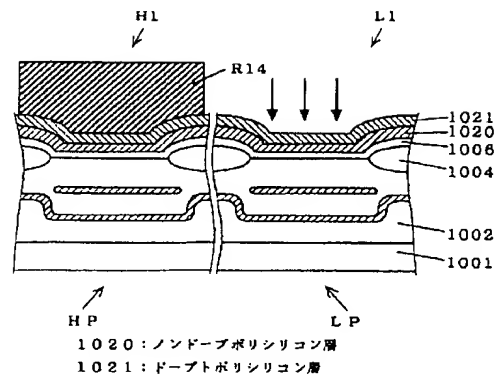
【図63】



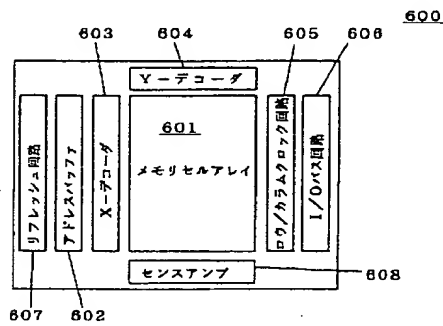
【図64】



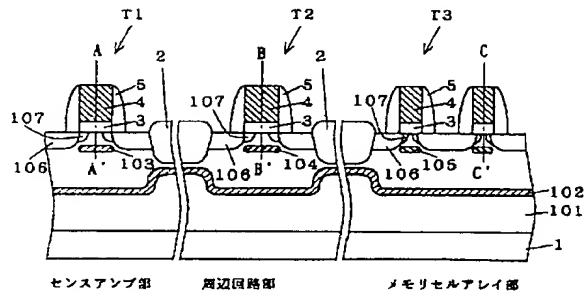
【図65】



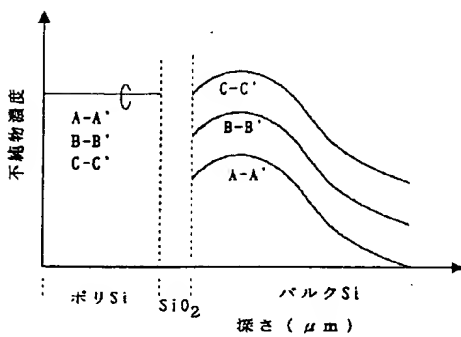
【図66】



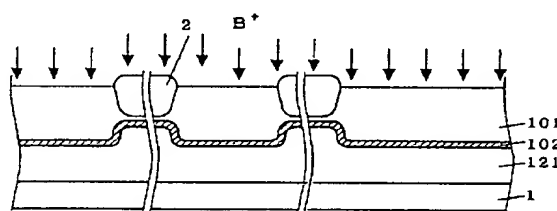
【図67】



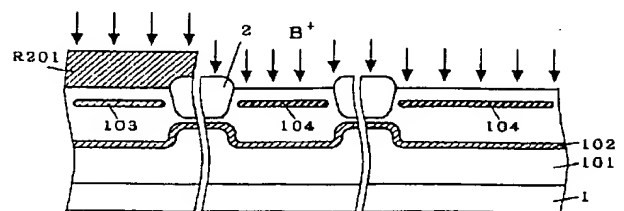
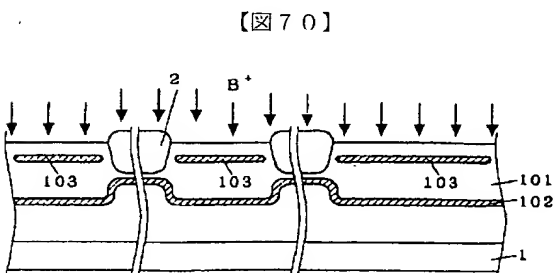
【図68】



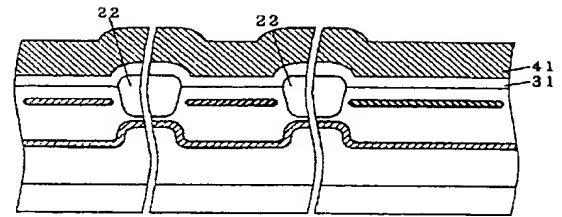
【図69】



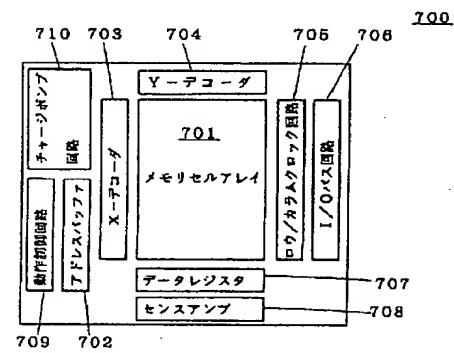
【図70】



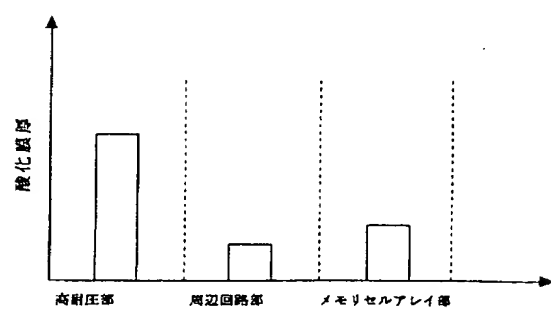
【图 7 3】



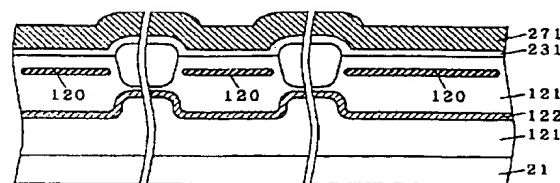
【图 7 4】



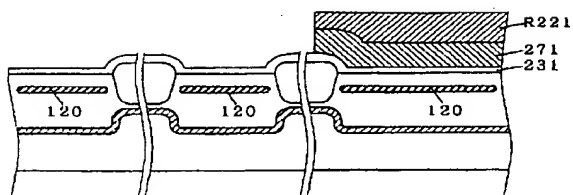
【图 7 7】



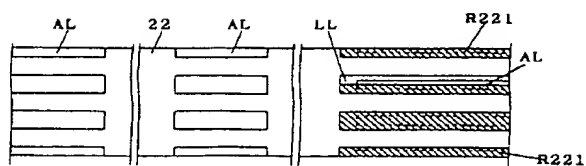
【图 7 9】



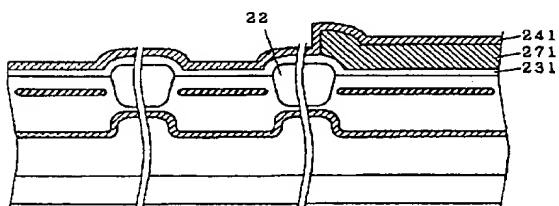
【図80】



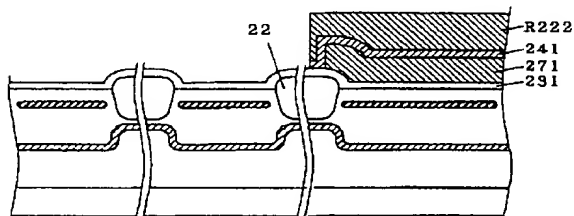
【図81】



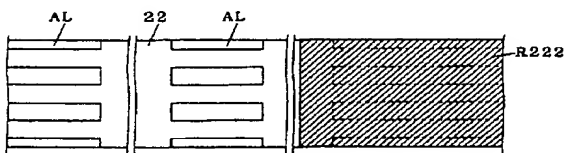
【図82】



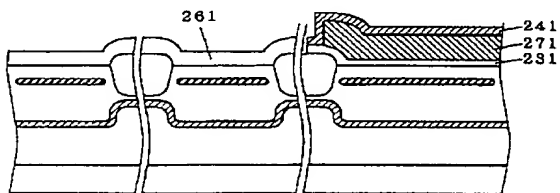
【図83】



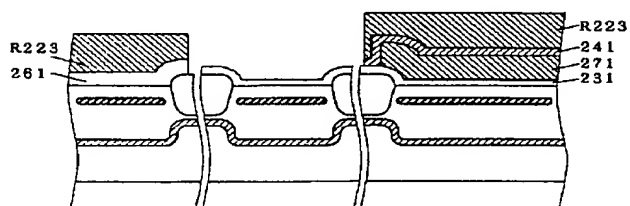
【図84】



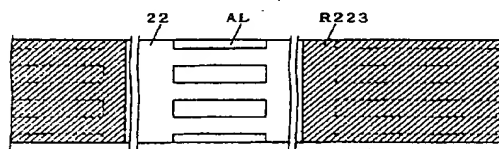
【図85】



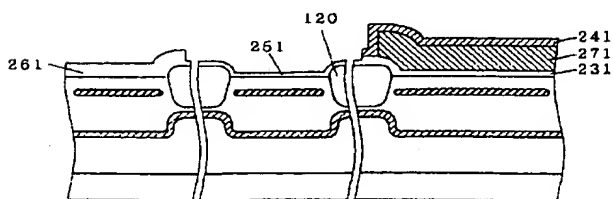
【図86】



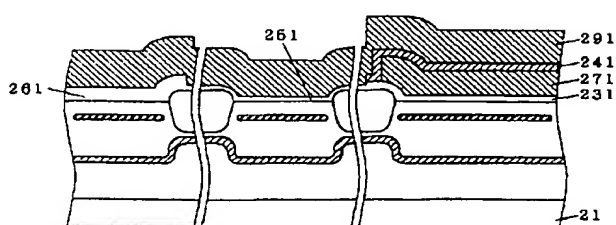
【図87】



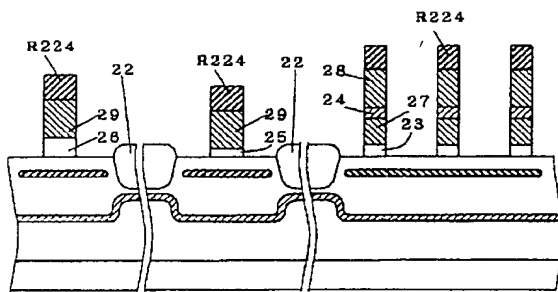
【図88】



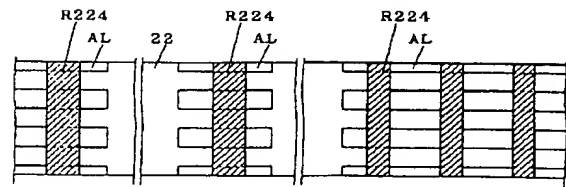
【図89】



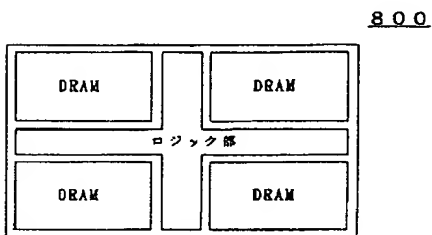
【図90】



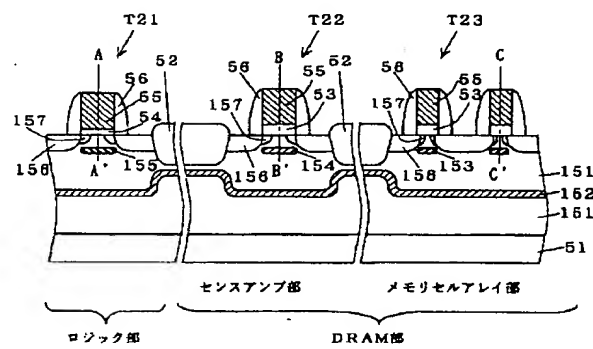
【図91】



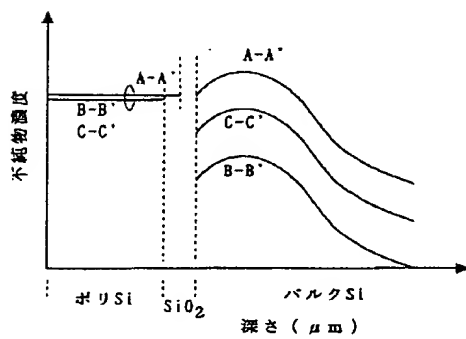
【図92】



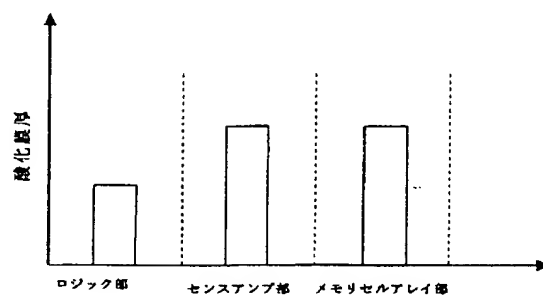
【図93】



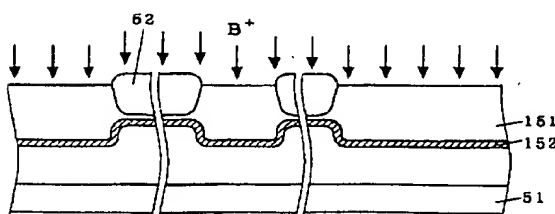
【図94】



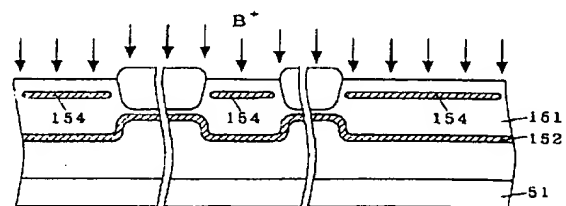
【図95】



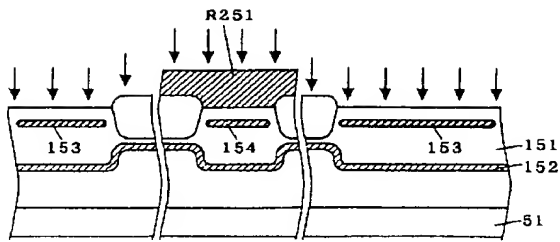
【図96】



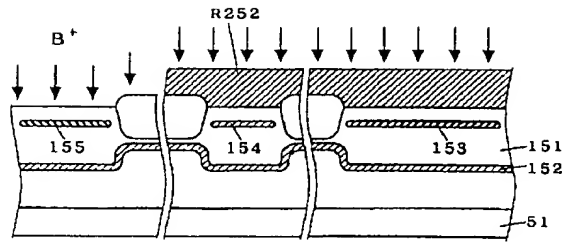
【図97】



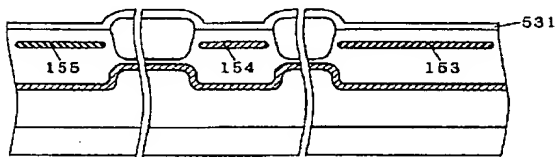
【図98】



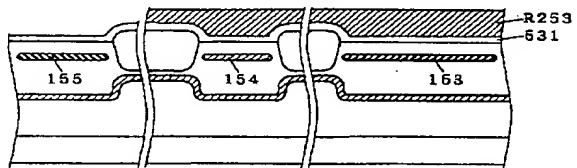
【図99】



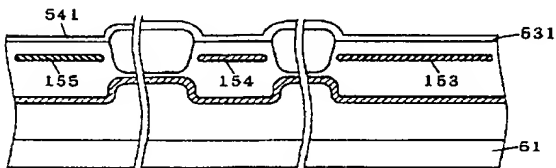
【図100】



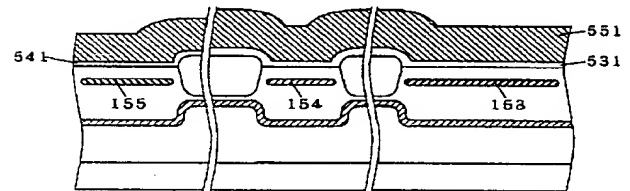
【図101】



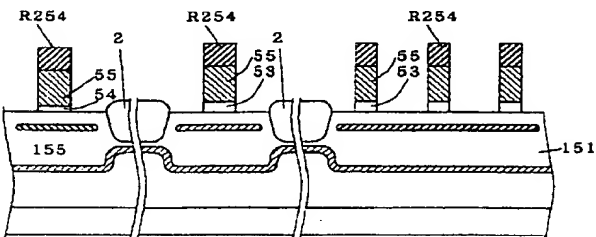
【図102】



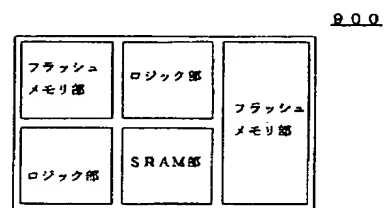
【図103】



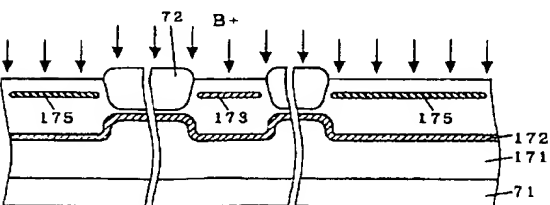
【図104】



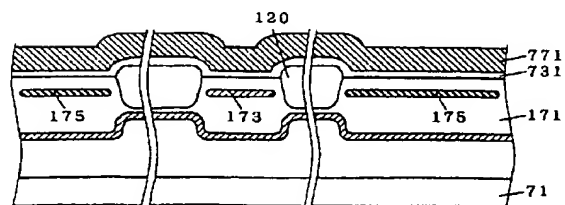
【図105】



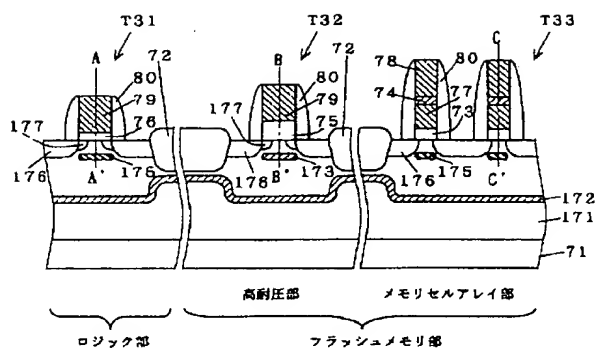
【図109】



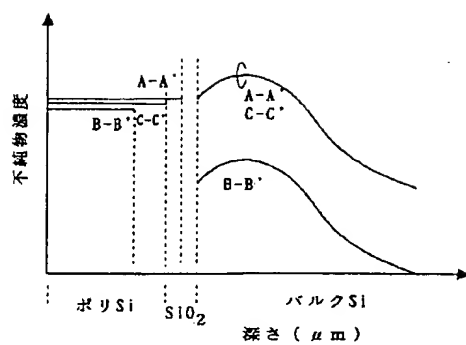
【図110】



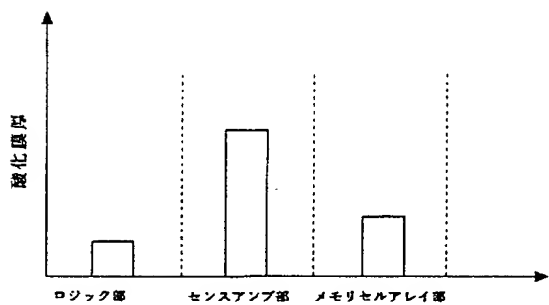
【図106】



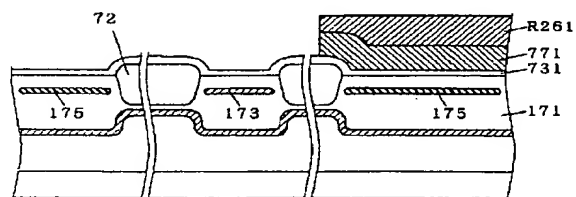
【図107】



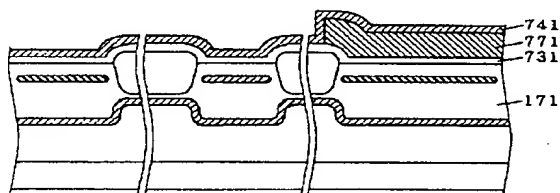
【図108】



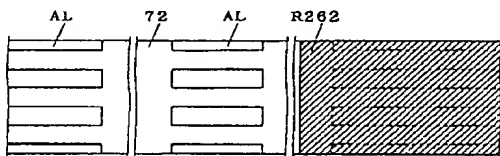
【図111】



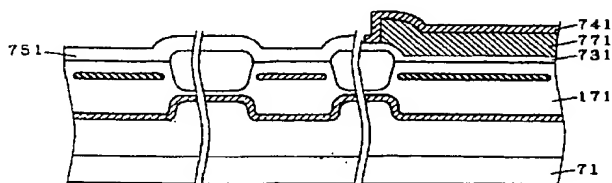
【図113】



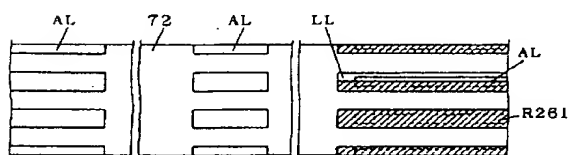
【図115】



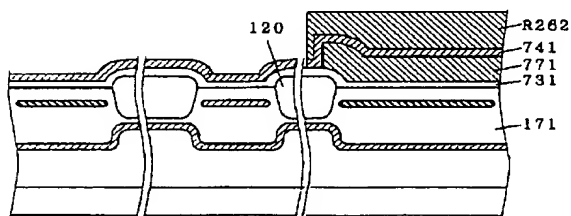
【図116】



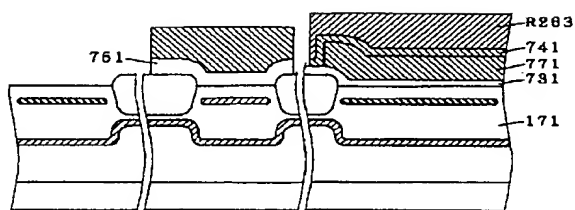
【図112】



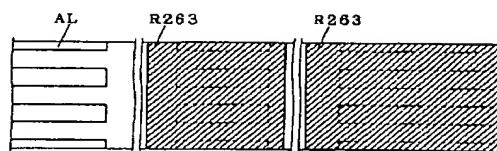
【図114】



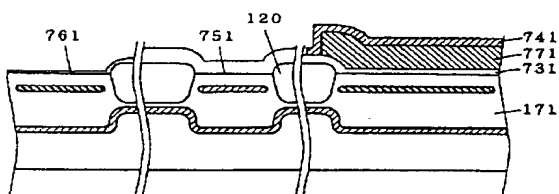
【図117】



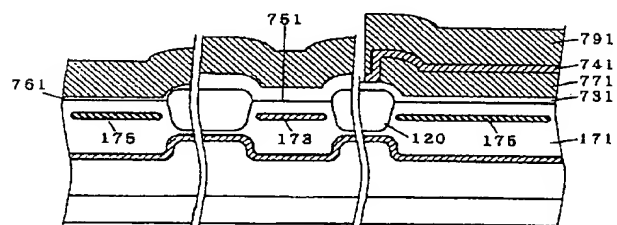
【図118】



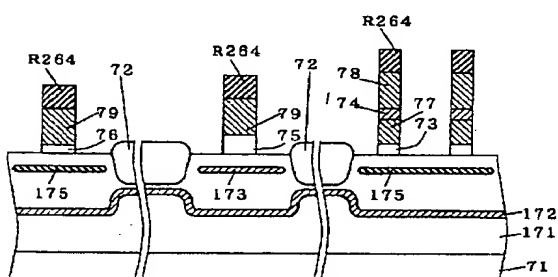
【図119】



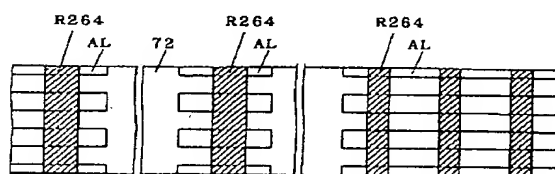
【図120】



【図121】



【図122】



フロントページの続き

(51) Int. Cl.⁶

H01L 27/10

識別記号

461

481

F I

H01L 29/78

371

21/8247

29/788

29/792

(72) 発明者 前川 繁登

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内